



日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application: 2001年 2月 26日

出願番号
Application Number: 特願2001-050433

[ST.10/C]: [JP2001-050433]

出願人
Applicant(s): ソニー株式会社

2002年 2月 19日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造

出証番号 出証特2002-3008374

【書類名】 特許願
【整理番号】 0000974103
【提出日】 平成13年 2月26日
【あて先】 特許庁長官殿
【国際特許分類】 H03K 05/135
【発明者】
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内
【氏名】 遠藤 真樹
【特許出願人】
【識別番号】 000002185
【氏名又は名称】 ソニー株式会社
【代理人】
【識別番号】 100092152
【弁理士】
【氏名又は名称】 服部 翼巖
【電話番号】 0426-45-6644
【手数料の表示】
【予納台帳番号】 009874
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0010569
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 ディレイロックループ回路、可変遅延回路および記録信号補償回路

【特許請求の範囲】

【請求項1】 所望の信号遅延量を得るためにディレイロックループ回路において、

入力されたクロックに基づいて、第1のパルスデータと、前記第1のパルスデータより大きい周期を有する第2のパルスデータと、前記第2のパルスデータより大きい周期を有する第3のパルスデータを生成する分周手段と、

カウント値に対する初期値、最大値および最小値が設定され、前記第3のパルスデータの立ち上がりのタイミングにおいて、入力されたアップダウン制御信号に基づいてカウントアップまたはカウントダウンを行い、前記カウント値が前記最大値および前記最小値となった場合には、次のカウント値を前記初期値にセットするサブカウンタを具備し、前記第3のパルスデータの立ち上がりのタイミングにおいて、前記サブカウンタによるカウント値が前記最大値であるときカウントアップを行い、前記最小値であるときカウントダウンを行うアップダウンカウンタと、

前記アップダウンカウンタによるカウント出力に基づくディレイ段数によって前記第1のパルスデータを遅延させるディレイ手段と、

前記第2のパルスデータの立ち上がりと、前記ディレイ手段による出力パルスの立ち上がりとの先着判定を行い、判定結果に基づいて前記アップダウン制御信号を出力する遅延量検出手段と、

前記第3のパルスデータの立ち上がりのタイミングにおいて、前記アップダウンカウンタによる現在のカウント値と過去のカウント値とを比較して遅延量がロックされているか否かを検出し、かつ、前記現在および過去のカウント値のうちいずれか一方の値を選択して、基準ディレイ段数として出力するディレイロック検出手段と、

を有することを特徴とするディレイロックループ回路。

【請求項2】 前記サブカウンタは、

供給されたデータを前記第3のパルスデータの立ち上がりのタイミングでラッチして出力するラッチ手段と、

前記ラッチ手段からのラッチデータの値に1を加算する加算手段と、

前記ラッチデータの値から1を減算する減算手段と、

前記ラッチデータの値が前記最大値と等しい場合に、これを示す第1のリセット信号を出力する第1の比較手段と、

前記ラッチデータの値が前記最小値と等しい場合に、これを示す第2のリセット信号を出力する第2の比較手段と、

前記アップダウン制御信号に基づいて、前記加算手段および前記減算手段からのデータを選択出力する第1のセレクタと、

前記第1および第2のリセット信号のいずれかが供給された場合には前記初期値を、それ以外の場合には前記第1のセレクタによる出力データを、前記ラッチ手段に対して供給する第2のセレクタと、

によって構成されることを特徴とする請求項1記載のディレイロックループ回路。

【請求項3】 入力信号を任意の遅延量だけ遅延させることが可能な可変遅延回路において、

入力されたクロックに基づいて、第1のパルスデータと、前記第1のパルスデータより大きい周期を有する第2のパルスデータと、前記第2のパルスデータより大きい周期を有する第3のパルスデータを生成する分周手段と、

カウント値に対する初期値、最大値および最小値が設定され、前記第3のパルスデータの立ち上がりのタイミングにおいて、入力されたアップダウン制御信号に基づいてカウントアップまたはカウントダウンを行い、前記カウント値が前記最大値および前記最小値となった場合には、次のカウント値を前記初期値にセットするサブカウンタを具備し、前記第3のパルスデータの立ち上がりのタイミングにおいて、前記サブカウンタによるカウント値が前記最大値であるときカウントアップを行い、前記最小値であるときカウントダウンを行うアップダウンカウンタと、

前記アップダウンカウンタによるカウント出力に基づくディレイ段数によって

前記第1のパルスデータを遅延させる第1のディレイ手段と、

前記第2のパルスデータの立ち上がりと、前記第1のディレイ手段による出力パルスの立ち上がりとの先着判定を行い、判定結果に基づいて前記アップダウン制御信号を出力する遅延量検出手段と、

前記第3のパルスデータの立ち上がりのタイミングにおいて、前記アップダウンカウンタによる現在のカウント値と過去のカウント値とを比較して遅延量がロックされているか否かを検出し、かつ、前記現在および過去のカウント値のうちいずれか一方の値を選択して、基準ディレイ段数として出力するディレイロック検出手段と、

を具備する基準ディレイ段数出力手段と、

前記クロックが供給されるとともに、前記基準ディレイ段数と所要のディレイ比率とを乗算するディレイ段数設定手段と、

前記第1のディレイ手段と同様に構成されて、前記ディレイ段数設定手段によって設定されたディレイ段数により、入力したデータを遅延させる第2のディレイ手段と、

を有することを特徴とする可変遅延回路。

【請求項4】 始端パルス、バーストパルス、および終端パルスを合成して得られる記録パルスにしたがって、データをディスク状記録媒体に記録するための記録信号補償回路において、

入力されたクロックに基づいて、第1のパルスデータと、前記第1のパルスデータより大きい周期を有する第2のパルスデータと、前記第2のパルスデータより大きい周期を有する第3のパルスデータを生成する分周手段と、

カウント値に対する初期値、最大値および最小値が設定され、前記第3のパルスデータの立ち上がりのタイミングにおいて、入力されたアップダウン制御信号に基づいてカウントアップまたはカウントダウンを行い、前記カウント値が前記最大値および前記最小値となった場合には、次のカウント値を前記初期値にセットするサブカウンタを具備し、前記第3のパルスデータの立ち上がりのタイミングにおいて、前記サブカウンタによるカウント値が前記最大値であるときカウントアップを行い、前記最小値であるときカウントダウンを行うアップダウンカウ

ンタと、

前記アップダウンカウンタによるカウント出力に基づくディレイ段数によって前記第1のパルスデータを遅延させる第1のディレイ手段と、

前記第2のパルスデータの立ち上がりと、前記第1のディレイ手段による出力パルスの立ち上がりとの先着判定を行い、判定結果に基づいて前記アップダウン制御信号を出力する遅延量検出手段と、

前記第3のパルスデータの立ち上がりのタイミングにおいて、前記アップダウンカウンタによる現在のカウント値と過去のカウント値とを比較して遅延量がロックされているか否かを検出し、かつ、前記現在および過去のカウント値のうちいずれか一方の値を選択して、基準ディレイ段数として出力するディレイロック検出手段と、

を具備する基準ディレイ段数出力手段と、

前記クロックが供給されるとともに、前記基準ディレイ段数と所要のディレイ比率とを乗算するディレイ段数設定手段と、

前記第1のディレイ手段と同様に構成されて、前記ディレイ段数設定手段によって設定されたディレイ段数により、入力したデータを遅延させる第2のディレイ手段と、

によってともに構成され、前記始端パルスの始端エッジの位置、および前記終端パルスの終端エッジの位置を遅延させることにより、前記始端パルスおよび前記終端パルスのパルス幅をそれぞれ変化させる始端パルス変化手段および終端パルス変化手段を有することを特徴とする記録信号補償回路。

【請求項5】 1クロックに対応するパルス幅をTとし、前記記録パルスにおけるハイレベルまたはローレベルのうちのいずれか一方をM、他方をSとするとき、長さがnT（ただし、nは整数）のマークに対応する前記記録パルスが、

$$xS + (1.5 - x)M + (n - 2)(0.5S + 0.5M) + yM + (0.5 - y)S$$

または、

$$xS + (1.5 - x)M + (n - 3)(0.5S + 0.5M) + 0.5S + yM + (1 - y)S$$

で表されることを特徴とする請求項4記載の記録信号補償回路。

【請求項6】 前記始端パルス変化手段および前記終端パルス変化手段と同様に構成され、前記バーストパルスの始端エッジまたは終端エッジの位置を遅延させることにより、前記バーストパルスのパルス幅を変化させるバーストパルス変化手段を有することを特徴とする請求項4記載の記録信号補償回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、所望の信号遅延量を得るためのディレイロックループ回路、このディレイロックループ回路を具備する可変遅延回路、およびこの可変遅延回路を具備する記録信号補償回路に関する。

【0002】

【従来の技術】

近年、開発が進められている光ディスクを用いた高密度記録システムとして、光磁気ディスクシステムと相変化型光ディスクシステムが挙げられる。このうち、相変化型光ディスクシステムは、記録層を結晶状態または非結晶状態（アモルファス状態）に変化させることで情報を記録する方式を用いており、例えば、磁気ヘッドが不要なため光学ヘッドの小型化が容易であること、記録面におけるマークの有無にかかわらず1回のレーザ照射で情報を記録できるダイレクトオーバーライト方式が容易に実現可能であること、信号強度が高く、再生系のS/N（Signal/Noise）比を高くすることが可能などとの理由から、近年ではこの相変化型光ディスクシステムの開発が特に重点的に進められている傾向にある。

【0003】

高記録密度の光ディスクシステムにおいては、微少なマーク列を正確な位置に記録する必要があるが、特に相変化型光ディスクの場合、信号記録は純粋な熱記録であることから、正確なマーク形成のためには記録時の熱の管理が大変重要となる。例えば、比較的長いマークを形成するために記録レベルのレーザ光を長時間照射する場合、記録膜の蓄熱効果により後の部分ほどディスク半径方向の幅が太くなったマークが形成されてしまう。このようなマークを再生すると、その

終端部分のエッジが理想的な位置からずれるため、エラーレートが増加する。このため、相変化型光ディスクシステムでは、記録時の熱の管理のために、マーク形成に用いるレーザ光として連続したパルス列を用いており、また、単にクロックに同期したパルスではなく、位置および幅を最適に設定するための、いわゆる記録補償を行うことが必須となっている。

【0004】

このような記録補償を行うデータ記録装置の一例が、特開平10-091961号公報に開示されている。この公報では、長さ1.5Tの始端パルスに続いて、クロックに同期したパルス列が現れる記録パルスを生成することにより、マークの幅が広がらないようにマークの後半部分におけるレーザ光の照射量を弱めている。しかし、これによってマークの終端部分のエッジが熱的に不安定になり、正確な位置にマークが形成されない場合があることから、さらにパルスの始端における立ち上がり位置および終端における立ち下がり位置を遅延させ、始端パルスおよび終端パルスのパルス幅を変化させている。上記公報のデータ記録装置では、このような記録パルスBを通常の論理回路と遅延量可変型の遅延素子を用いた記録補償回路によって得ている。

【0005】

ところで、入力信号を遅延させるための遅延素子としては、例えばLC（インダクタとキャパシタ）、あるいは分布定数回路等によって形成されるオールパスフィルタが知られている。また、遅延量可変型の遅延素子としては、複数のLC遅延素子を直列接続し、それぞれの出力をセレクタにより選択するものがある。この構造の遅延素子は、比較的安定した遅延量が得られる反面、素子自体が大きくなつて実装面積がより必要となること、CMOS（Complementary Metal-Oxide Semiconductor）プロセスを用いたIC（Integrated Circuit）等と比較して素子単価がひじょうに高価であること等の問題を有している。また、例えばCMOSのICに内蔵可能な遅延量可変型の遅延素子を、PLL（Phase-Locked Loop）の具備する周波数倍機能を用いて実現する方法も存在する。この方法では、遅延素子をICに内蔵することにより実装面積の問題は解決するが、PLLを内蔵することにより、コストは抑制されない。

【0006】

これに対して、特にゲートアレイやエンベデッドアレイ等のデジタル集積回路への応用を念頭に開発されたのが、インバータやNANDゲートにより構成したバッファの組み合わせを単位遅延素子として用い、CMOSロジックにおける信号の伝搬遅延時間を積極的に利用して実現した遅延回路である。このような遅延回路は、例えば、2段のインバータを直列接続したディレイラインを、所望する遅延量となるような段数だけ直列に接続することにより得られる。この構造の遅延回路は基本論理素子で構成可能であるため、CMOSのIC等に容易に内蔵することができ、実装面積およびコストの上昇がほとんどない。その反面、ICの内部に構成されるゲートによる遅延量は、温度や電源電圧の変動、プロセス条件等によって、最大3倍程度大きく変動してしまう。

【0007】

CMOSロジックによる遅延回路のこのような問題を解決するために、ディレイロックループ回路を用いて、1T分の遅延量を得るためのディレイラインの段数を調整することを可能にした可変遅延回路が、特開平2000-134072公報に開示されている。ここで図12に、上記公報に示された可変遅延回路に用いられるディレイロックループ回路の構成例を示す。

【0008】

図12に示すディレイロックループ回路40は、入力パルスを所定の周器に分周して出力する分周器41と、ディレイ段数を変化させて任意の遅延量を得ることが可能なディレイライン42と、入力パルスの先着順位を判定してこれに基づく制御信号を出力する遅延量検出部43と、この制御信号に応じてディレイライン42におけるディレイ段数をコントロールするアップダウンカウンタ（以下、U/Dカウンタと略称する）44と、U/Dカウンタ44の出力信号よりディレイライン42による遅延量が1Tとなるディレイ段数を出力するディレイロック検出部45によって構成される。

【0009】

分周器41は、入力されたクロックCLKを2分周した1TのデータパルスTP、4分周した2TのデータパルスTP2、および8分周した4Tのデータパル

STP4を生成する。ディレイライン42は、例えば2つのインバータを直列接続し、これを所定の段数だけ直列接続することにより遅延量が可変とされた信号遅延回路であり、U/Dカウンタ44によるカウント値SELをディレイ段数の設定データとして、分周器41からのデータパルスTPを1T分だけ遅延させる。遅延量検出部43は、ディレイライン42により遅延されたデータパルスDTPと、分周器41からのデータパルスTP2に基づいて、U/Dカウンタ44のカウントアップおよびカウントダウンを制御するアップダウン制御信号（以下、U/D制御信号と略称する）UDを出力する。

【0010】

ここで、図13に遅延量検出部43の回路構成例を示す。

遅延量検出部43は、入力段とされるD-フリップフロップ（以下、D-FFと略称する）431と、排他的論理和ゲート（以下、EORゲートと略称する）432と、インバータ433と、出力段とされるD-FF434によって構成される。この遅延量検出部43では、D-FF431において、ディレイライン42より出力されたデータパルスDTPに基づき、分周器41からのデータパルスTP2をラッチすることによって、ディレイライン42によって1T分だけ遅延されたデータパルスDTPの立ち上がりと、遅延量1T分のタイミングの基準となる、データパルスTP2の反転との先着判定を行うことにより、D-FF434からディレイ段数の増減を選択する制御信号として、U/D制御信号UDを出力している。出力されるU/D制御信号UDは、データパルスTP2の立ち上がりがデータパルスDTPの立ち上がりより早い場合にハイレベル、遅い場合にローレベルとされる。

【0011】

ここで、図12に戻って説明する。U/Dカウンタ44は、遅延量検出部43からのU/D制御信号UDに基づいて、ディレイ段数のカウントアップおよびカウントダウンを行い、カウント値SELを出力して、ディレイライン42による遅延量1Tあたりのディレイ段数を制御する。ディレイロック検出部45は、分周器41からのデータパルスTP4のタイミングで、U/Dカウンタ44によるカウント値SELに基づき、現在と1クロック前および2クロック前とのディレ

イ段数の比較を行い、ディレイ段数がロックされているか否かを示すディレイロック信号LOCK、および、ディレイライン42によって1Tの遅延量を得るための基準ディレイ段数DREFを出力する。ここで、現在のディレイ段数、すなわちU/Dカウンタ44による現在のカウント値SELに対して、クロック入力CKとされるデータパルスTP4の1クロック前および2クロック前のディレイ段数をそれぞれSEL1およびSEL2とすると、SEL=SEL2のときディレイロック信号LOCKがハイレベルとされ、それ以外のときローレベルとされる。また、SEL=SEL2またはSEL>SEL1のとき基準ディレイ段数DREFとしてSEL1が出力され、これ以外のとき現在のカウント値SELが出力される。

【0012】

次に、図14にディレイロックループ回路40における各信号のタイミングを示す。

図14において、900nsecから1100nsecの期間では、例えば、ディレイライン42を構成するゲートによる遅延量が、温度や電源電圧の変動等により変動した状態を示している。このとき、ディレイライン42におけるディレイ段数を示すカウント値SELによる遅延量が、1T分の遅延に対して不足しているため、U/Dカウンタ44によるカウント値SELおよび基準ディレイ段数DREFは、それぞれ1ずつカウントアップされ、ディレイロック信号LOCKはローレベルとなる。

【0013】

これに対して、1100nsecのタイミングでは、遅延量検出部43に入力されるデータパルスTP2の反転タイミングが、データパルスDTPの立ち上がりより早くなり、出力されるU/D制御信号UDがローレベルとなって、U/Dカウンタ44のカウント値SELがカウントダウンされる。以降、データパルスTP4の立ち上がりにおいて、U/D制御信号UDはハイレベル、ローレベルを交互に繰り返すことになり、これによってU/Dカウンタ44のカウント値SELは「29」および「28」の値を交互に探すことになる。また、1050nsecのタイミングにおいて、ディレイロック検出部45では、現在のカウント値

S E Lと、データパルスT P 4による2クロック前のカウント値S E L 2とが、ともに「2 9」と一致したことが検出されて、ディレイロック信号L O C Kがハイレベルとされる。これにより、ディレイライン4 2によって1 T分だけ遅延されるときの基準ディレイ段数D R E Fの値が「2 8」で固定され、ディレイロックループ回路4 0の動作がロックされる。

【0014】

このようなディレイロックループ回路4 0を用いた可変遅延回路では、1 Tパルス幅に対する遅延量の比率を任意に設定し、この値と基準ディレイ段数D R E Fの値とを乗算し、ディレイライン4 2と同様に構成されたディレイラインに対して、この値をディレイ設定段数として設定して、入力されたデータパルスを遅延させる。これによって、ディレイロックループ回路4 0を用いた可変遅延回路では、温度や電源電圧の変動等によりディレイラインを構成するゲートによる遅延量が変動した場合でも、その変動量にかかわらず常に所望する遅延量を得ることが可能となっている。したがって、上述した相変化型光ディスクシステムでは、このような可変遅延回路を用いて、記録パルスの始端における立ち上がり位置および終端における立ち下がり位置を、任意の量だけ正確に遅延させ、ディスク上に形成されるマークの形状を正確に制御することが可能となる。

【0015】

【発明が解決しようとする課題】

上記のディレイロックループ回路4 0は、CMOSゲートによるディレイラインの欠点を解消し、安価で安定した遅延量が得られるため、光ディスクドライブの記録補償のためのI Cとして実現されている。しかし、このディレイロックループ回路4 0による実際の動作においては、基準ディレイ段数D R E Fがほぼ安定した状態でも、U/Dカウンタ4 4によるカウント値S E Lが±1段でなく、数段の幅で不規則な変動を繰り返す現象が観測されている。

【0016】

ここで、図15にこのような異常動作が発生した場合のディレイロックループ回路4 0における各信号のタイミングを示す。

図15において、1 7 7 0 n s e cまでの期間は、基準ディレイ段数D R E F

が「28」でロックされた状態となっている。しかし、1670nsec、1770nsecおよび1870nsecのタイミングにおいてU/D制御信号UDがハイレベルとなり、カウント値SELが連続してカウントアップされている。このため、ディレイロック検出部45の検出によりディレイロック信号LOCKがローレベルとなる。この後、カウント値SELは「2b」の値までカウントアップして、「28」の値までカウントダウンし、2250nsecのタイミングにおいて再びディレイロックループ回路40の動作がロックした状態となる。

【0017】

このような基準ディレイ段数DEFの不規則な変動は、遅延量検出部43に使用されているD-FF431に起因すると考えられる。遅延量検出部43におけるタイミング比較では、D-FF431におけるクロック入力CKのデータパルスDTPの立ち上がりと、データ入力DのデータパルスTP2の反転の先着順に基づいて、Q出力すなわち位相比較中間信号QAを出力し、EORゲート432で位相比較中間信号QAとデータパルスTP2との排他的論理和をとることで、位相比較信号UPを出力している。ところが、D-FF431におけるクロック入力CKの立ち上がりとデータ入力Dの反転とが、D-FF431の最小セットアップタイムおよびホールドタイムより短い時間に続けて入力された場合は、出力される位相比較中間信号QAが確定しないため、出力されるU/D制御信号UDに短期間の擾乱が生じる。

【0018】

ここで、クロック入力CKの立ち上がりとデータ入力Dの反転とがほぼ同時となる場合とは、すなわち、ディレイライン42によるデータパルスTPとデータパルスDTPの間の遅延量が1Tに一致している場合であり、ディレイロックループ回路40においては、常にこのような状態となるように制御が行われることから、位相比較中間信号QAが不定の状態は動作がほぼロックしているときに高い割合で発生していると考えられる。図15における1770nsecおよび1870nsecのタイミングでのU/D制御信号UDは、このような場合に発生したノイズ成分と考えられ、これによってU/Dカウンタ44のカウント値SELも交互にカウントアップおよびカウントダウンをせずに不規則に変化し、基準

ディレイ段数DREFの値がロックせずに±数段の大きさで不安定に変化する。

【0019】

したがって、このようなディレイロックループ回路40を用いた可変遅延回路では、ディレイラインにおけるディレイ段数の設定において、例えばT/2の遅延を得るために基準ディレイ段数DREFに1/2を乗じても、基準ディレイ段数DREFが一定とならないために、ディレイラインの出力信号にジッタが生じてしまう。

【0020】

本発明はこのような課題に鑑みてなされたものであり、低コストで実装面積の小さい遅延回路を用いた場合に、温度および電源電圧の変動やプロセス条件等によるディレイ量の変動にかかわらず、安定した遅延量を得ることを可能にするディレイロックループ回路を提供することを目的とする。

【0021】

また、本発明の他の目的は、低コストで実装面積の小さい遅延回路を用い、温度および電源電圧の変動やプロセス条件等によるディレイ量の変動にかかわらず、安定した遅延量を得ることが可能な可変遅延回路を提供することである。

【0022】

さらに、本発明の他の目的は、ディスク状記憶媒体にデータを記録する際に、低コストで実装面積の小さい遅延回路を用い、記録パルスを正確に遅延させることが可能な記録信号補償回路を提供することである。

【0023】

【課題を解決するための手段】

本発明では上記課題を解決するために、所望の信号遅延量を得るためのディレイロックループ回路において、入力されたクロックに基づいて、第1のパルスデータと、前記第1のパルスデータより大きい周期を有する第2のパルスデータと、前記第2のパルスデータより大きい周期を有する第3のパルスデータを生成する分周手段と、カウント値に対する初期値、最大値および最小値が設定され、前記第3のパルスデータの立ち上がりのタイミングにおいて、入力されたアップダウン制御信号に基づいてカウントアップまたはカウントダウンを行い、前記カウ

ント値が前記最大値および前記最小値となった場合には、次のカウント値を前記初期値にセットするサブカウンタを具備し、前記第3のパルスデータの立ち上がりのタイミングにおいて、前記サブカウンタによるカウント値が前記最大値であるときカウントアップを行い、前記最小値であるときカウントダウンを行うアップダウンカウンタと、前記アップダウンカウンタによるカウント出力に基づくディレイ段数によって前記第1のパルスデータを遅延させるディレイ手段と、前記第2のパルスデータの立ち上がりと、前記ディレイ手段による出力パルスの立ち上がりとの先着判定を行い、判定結果に基づいて前記アップダウン制御信号を出力する遅延量検出手段と、前記第3のパルスデータの立ち上がりのタイミングにおいて、前記アップダウンカウンタによる現在のカウント値と過去のカウント値とを比較して遅延量がロックされているか否かを検出し、かつ、前記現在および過去のカウント値のうちいずれか一方の値を選択して、基準ディレイ段数として出力するディレイロック検出手段と、を有することを特徴とするディレイロックループ回路が提供される。

【0024】

このようなディレイロックループ回路では、遅延量検出手段からのアップダウン制御信号に基づいて初期値から最大値または最小値へのカウントアップまたはカウントダウンを行うサブカウンタを具備し、このカウント値が最大値または最小値となった場合にアップダウンカウンタのカウントアップおよびカウントダウンをそれぞれ行うので、アップダウン制御信号の短期間における擾乱が無視され、ディレイ手段によるディレイ量の変動にかかわらずディレイロック検出手段が正常に動作して、基準ディレイ段数が安定して出力される。

【0025】

また、本発明では、入力信号を任意の遅延量だけ遅延させることが可能な可変遅延回路において、入力されたクロックに基づいて、第1のパルスデータと、前記第1のパルスデータより大きい周期を有する第2のパルスデータと、前記第2のパルスデータより大きい周期を有する第3のパルスデータを生成する分周手段と、カウント値に対する初期値、最大値および最小値が設定され、前記第3のパルスデータの立ち上がりのタイミングにおいて、入力されたアップダウン制御信

号に基づいてカウントアップまたはカウントダウンを行い、前記カウント値が前記最大値および前記最小値となった場合には、次のカウント値を前記初期値にセットするサブカウンタを具備し、前記第3のパルスデータの立ち上がりのタイミングにおいて、前記サブカウンタによるカウント値が前記最大値であるときカウントアップを行い、前記最小値であるときカウントダウンを行うアップダウンカウンタと、前記アップダウンカウンタによるカウント出力に基づくディレイ段数によって前記第1のパルスデータを遅延させる第1のディレイ手段と、前記第2のパルスデータの立ち上がりと、前記第1のディレイ手段による出力パルスの立ち上がりとの先着判定を行い、判定結果に基づいて前記アップダウン制御信号を出力する遅延量検出手段と、前記第3のパルスデータの立ち上がりのタイミングにおいて、前記アップダウンカウンタによる現在のカウント値と過去のカウント値とを比較して遅延量がロックされているか否かを検出し、かつ、前記現在および過去のカウント値のうちいずれか一方の値を選択して、基準ディレイ段数として出力するディレイロック検出手段と、を具備する基準ディレイ段数出力手段と、前記クロックが供給されるとともに、前記基準ディレイ段数と所要のディレイ比率とを乗算するディレイ段数設定手段と、前記第1のディレイ手段と同様に構成されて、前記ディレイ段数設定手段によって設定されたディレイ段数により、入力したデータを遅延させる第2のディレイ手段と、を有することを特徴とする可変遅延回路が提供される。

【0026】

このような可変遅延回路では、基準ディレイ段数出力手段が、遅延量検出手段からのアップダウン制御信号に基づいて初期値から最大値または最小値へのカウントアップまたはカウントダウンを行うサブカウンタを具備し、このカウント値が最大値または最小値となった場合にカウントアップおよびカウントダウンをそれぞれ行うアップダウンカウンタを有するディレイロックループを形成しており、これにより第1のディレイ手段によるディレイ量の変動にかかわらずディレイロック検出手段が正常に動作して、基準ディレイ段数が安定して出力される。したがって、第1のディレイ手段と同様に構成された第2のディレイ手段によって、常に正確な遅延量を得ることが可能となる。

【0027】

また、本発明では、始端パルス、バーストパルス、および終端パルスを合成して得られる記録パルスにしたがって、データをディスク状記録媒体に記録するための記録信号補償回路において、入力されたクロックに基づいて、第1のパルスデータと、前記第1のパルスデータより大きい周期を有する第2のパルスデータと、前記第2のパルスデータより大きい周期を有する第3のパルスデータを生成する分周手段と、カウント値に対する初期値、最大値および最小値が設定され、前記第3のパルスデータの立ち上がりのタイミングにおいて、入力されたアップダウン制御信号に基づいてカウントアップまたはカウントダウンを行い、前記カウント値が前記最大値および前記最小値となった場合には、次のカウント値を前記初期値にセットするサブカウンタを具備し、前記第3のパルスデータの立ち上がりのタイミングにおいて、前記サブカウンタによるカウント値が前記最大値であるときカウントアップを行い、前記最小値であるときカウントダウンを行うアップダウンカウンタと、前記アップダウンカウンタによるカウント出力に基づくディレイ段数によって前記第1のパルスデータを遅延させる第1のディレイ手段と、前記第2のパルスデータの立ち上がりと、前記第1のディレイ手段による出力パルスの立ち上がりとの先着判定を行い、判定結果に基づいて前記アップダウン制御信号を出力する遅延量検出手段と、前記第3のパルスデータの立ち上がりのタイミングにおいて、前記アップダウンカウンタによる現在のカウント値と過去のカウント値とを比較して遅延量がロックされているか否かを検出し、かつ、前記現在および過去のカウント値のうちいずれか一方の値を選択して、基準ディレイ段数として出力するディレイロック検出手段と、を具備する基準ディレイ段数出力手段と、前記クロックが供給されるとともに、前記基準ディレイ段数と所要のディレイ比率とを乗算するディレイ段数設定手段と、前記第1のディレイ手段と同様に構成されて、前記ディレイ段数設定手段によって設定されたディレイ段数により、入力したデータを遅延させる第2のディレイ手段と、によってともに構成され、前記始端パルスの始端エッジの位置、および前記終端パルスの終端エッジの位置を遅延させることにより、前記始端パルスおよび前記終端パルスのパルス幅をそれぞれ変化させる始端パルス変化手段および終端パルス変化手段を

有することを特徴とする記録信号補償回路が提供される。

【0028】

このような記録信号補償回路では、基準ディレイ段数出力手段がディレイロックループを形成することにより、第1のディレイ手段によるディレイ量の変動にかかわらずディレイロック検出手段が正常に動作して、基準ディレイ段数が安定して出力される。したがって、始端パルス変化手段および終端パルス変化手段においては、それが第1のディレイ手段と同様に構成された第2のディレイ手段を使用することによって、記録パルスの始端位置および終端位置を常に正確な量だけ遅延させることができ、ディスク状記録媒体上において、遅延量に応じた正確な位置にマークを形成することが可能になる。

【0029】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。まず、図1に本発明のディレイロックループ回路の構成例を示す。

【0030】

図1に示すディレイロックループ回路10は、入力パルスを所定の周器に分周して出力する分周器11と、ディレイ段数を変化させて任意の遅延量を得ることが可能なディレイライン12と、入力パルスの先着順位を判定してこれに基づく制御信号を出力する遅延量検出部13と、この制御信号に応じてディレイライン12におけるディレイ段数をコントロールするアップダウンカウンタ（以下、U/Dカウンタと略称する）14と、U/Dカウンタ14の出力信号よりディレイライン12による遅延量が1Tとなるディレイ段数を出力するディレイロック検出部15によって構成される。

【0031】

分周器11は、入力されたクロックCLKを2分周した1TのデータパルスTP、4分周した2TのデータパルスTP2、および8分周した4TのデータパルスTP4を生成する。ディレイライン12は、例えば2つのインバータを直列接続する等によって構成される単位遅延素子を所定の段数だけ直列接続することにより構成され、この単位遅延素子の段数を選択することにより遅延量が可変とさ

れた信号遅延回路である。このような信号遅延回路は、例えばCMOSロジックにより容易に形成可能である。このディレイライン12は、U/Dカウンタ14によるカウント値SELをディレイ段数の設定データとして、分周器11からのデータパルスTPを1T分だけ遅延させる。遅延量検出部13は、ディレイライン12により遅延されたデータパルスDTPと、分周器11からのデータパルスTP2に基づいて、U/Dカウンタ14によるカウント値SELのカウントアップおよびカウントダウンを制御するアップダウン制御信号UDを出力する。

【0032】

ここで、図2に遅延量検出部13の構成例を示す。

遅延量検出部13は、入力段とされるD-フリップフロップ（以下、D-FFと略称する）131と、排他的論理和ゲート（以下、EORゲートと略称する）132と、インバータ133と、出力段とされるD-FF134によって構成される。この遅延量検出部13では、D-FF131において、ディレイライン12より出力されたデータパルスDTPに基づき、分周器11からのデータパルスTP2をラッチすることによって、ディレイライン12によって1T分だけ遅延されたデータパルスDTPの立ち上がりと、遅延量1T分のタイミングの基準となる、データパルスTP2の反転との先着判定を行うことにより、D-FF134からディレイ段数の増減を選択する制御信号として、U/D制御信号UDを出力している。出力されるU/D制御信号UDは、データパルスTP2の立ち上がりがデータパルスDTPの立ち上がりより早い場合にハイレベル、遅い場合にローレベルとされる。

【0033】

ここで、図1に戻って説明する。U/Dカウンタ14は、遅延量検出部13からのU/D制御信号UDに基づいて、ディレイ段数のカウントアップおよびカウントダウンを行い、カウント値SELを出力して、ディレイライン12による遅延量1Tあたりのディレイ段数を制御する。なお、このU/Dカウンタ14の詳細については後述する。ディレイロック検出部15は、分周器11からのデータパルスTP4のタイミングで、U/Dカウンタ14によるカウント値SELに基づき、現在と1クロック前および2クロック前とのディレイ段数の比較を行い、

ディレイ段数がロックされているか否かを示すディレイロック信号LOCK、および、ディレイライン12によって1Tの遅延量を得るための基準ディレイ段数DREFを出力する。ここで、現在のディレイ段数、すなわちU/Dカウンタ14による現在のカウント値SELに対して、クロック入力CKとされるデータパルスTP4の1クロック前および2クロック前のディレイ段数をそれぞれSEL1およびSEL2とすると、SEL=SEL2のときディレイロック信号LOCKがハイレベルとされ、それ以外のときローレベルとされる。また、SEL=SEL2またはSEL>SEL1のとき基準ディレイ段数DREFとしてSEL1が出力され、これ以外のとき現在のカウント値SELが出力される。

【0034】

ところで、前述したように、遅延量検出部13におけるタイミング比較では、D-FF131におけるクロック入力CKのデータパルスDTPの立ち上がりと、データ入力DのデータパルスTP2の反転とが、D-FF131の最小セットアップタイムおよびホールドタイムより短い時間に続けて入力された場合は、出力される位相比較中間信号QAが確定せず、遅延量検出部13から出力されるU/D制御信号UDに短期間の擾乱が発生する。したがって、このようなU/D制御信号UDに基づいてカウントされたU/Dカウンタ14のカウント値SELは不規則に変化し、基準ディレイ段数DREFの値がロックせずに土数段の大きさで不安定に変化する。本発明では、U/Dカウンタ14において、遅延量検出部13から出力されたU/D制御信号UDを、ローパスフィルタと同等の動作を行う非線形カウンタに通過させた後にカウントアップおよびカウントダウンの動作を行うようにすることで、上記の問題を解決する。

【0035】

ここで、図3にこのような動作を可能とするU/Dカウンタ14の構成例を示す。

図3に示すU/Dカウンタ14は、現在のカウント値BICを保持するためのD-フリップフロップ（以下、D-FFと略称する）141と、カウント値BICに1を加算する加算回路142と、カウント値BICから1を減算する減算回路143と、カウント値BICと設定最大値BIC-MAXとを比較し、これに

応じてリセット信号RMAXを出力する比較回路144と、カウント値BICと設定最小値BIC-MINとを比較し、これに応じてリセット信号RMINを出力する比較回路145と、入力XとされたU/D制御信号UDに応じて入力AまたはBを選択出力Sとして出力するセレクタ146と、入力されたリセット信号RMAXおよびRMINに応じて、選択出力Sと設定初期値BIC-INTとを選択してD-FF141に出力するセレクタ147と、リセット信号RMAXおよびRMINに応じてカウント値SELのカウントアップまたはカウントダウンを行うカウンタ148によって構成される。

【0036】

このU/Dカウンタ14では、出力するカウント値SELのカウントアップおよびカウントダウンを行うために、D-FF141、加算回路142、減算回路143、比較回路144および145、セレクタ146および147によって構成されるサブカウンタが用いられる。このサブカウンタのカウント値BICに対しては、カウントアップの最大値である設定最大値BIC-MAX、カウントダウンの最小値である設定最小値BIC-MIN、およびカウントアップ、カウントダウンの際に初期値となるBIC-INTがそれぞれ任意に設定される。また、カウンタ148のカウント値SELの初期値として、設定初期値DINTが設定される。

【0037】

D-FF141は、セレクタ147からの選択出力BIC-0を、データパルスTP4によってラッチし、加算回路142、減算回路143、比較回路144および145に対してカウント値BICを出力する。セレクタ146は、加算回路142および減算回路143においてカウント値BICに対してそれぞれ1を加算、1を減算されたカウント値BIC-I、BIC-Dの供給を受け、遅延量検出部13からのU/D制御信号UDが例えればハイレベルの場合にカウント値BIC-Iを、ローレベルの場合にカウント値BIC-Dを、選択出力Sとしてセレクタ147に出力する。また、比較回路144および145は、入力されたカウント値BICが設定最大値BIC-MAX、設定最小値BIC-MINと等しい場合に、それぞれリセット信号RMAXおよびRMINをハイレベルとして出

力する。セレクタ147は、入力されたリセット信号RMAXおよびRMINのいずれかがハイレベルの場合に、設定初期値BIC-INTを選択し、それ以外の場合にセレクタ146からの選択出力Sを選択して、選択出力BIC-0としてD-FF141に対して出力する。

【0038】

これによってカウント値BICは、データパルスTP4の立ち上がりのタイミングにおいて、U/D制御信号UDがハイレベルの場合には、設定初期値BIC-INTから設定最大値BIC-MAXまでの間を繰り返しカウントアップされ、U/D制御信号UDがローレベルの場合には、設定初期値BIC-INTから設定最小値BIC-MINまでの間を繰り返しカウントダウンされる。また、U/D制御信号UDが変化したタイミングでは、カウント値BICは必ず設定初期値BIC-INTの値にセットされる。

【0039】

また、カウンタ148は、データパルスTP4の立ち上がりのタイミングにおいて、比較回路144からのリセット信号RMAXがハイレベルの場合に、カウント値SELをカウントアップし、比較回路145からのリセット信号RMINがハイレベルの場合に、カウント値SELをカウントダウンする。これによって、カウント値BICが設定初期値BIC-INTよりカウントアップされて設定最大値BIC-MAXとなったときに、カウント値SELのカウントアップが行われ、カウント値BICが設定初期値BIC-INTよりカウントダウンされて設定最小値BIC-MINとなったときに、カウント値SELのカウントダウンが行われる。

【0040】

次に、図4に上記のU/Dカウンタ14を具備するディレイロックループ回路10における各信号のタイミングを示す。

図4は、遅延量検出部13から出力されるU/D制御信号UDに擾乱が発生していない場合の信号波形を示している。また、U/Dカウンタ14における設定最大値BIC-MAX、設定最小値BIC-MIN、および設定初期値BIC-INTは、例としてそれぞれ「08」「00」「04」に設定されている。この

図4において、7000nsecのタイミング以前では、データパルスTP4の立ち上がりのタイミングで遅延量検出部13から出力されるU/D制御信号UDがローレベルとなっているため、カウント値BICがカウントダウンされる。このとき、カウント値SELが「29」で、基準ディレイ段数DREFの値が「28」でロックされている。やがて、カウント値BICが「00」となって設定最小値BIC-MINと一致すると、これを検出した比較回路145よりリセット信号RMINが出力されて、セレクタ147によって設定初期値BIC-INTの値である「04」が選択出力される。これによって、7000nsecのタイミングにおいて、カウント値BICが「04」に戻り、これと同時に、リセット信号RMINの入力に基づき、カウンタ148によってカウント値SELが「28」にカウントダウンされる。

【0041】

また、7000nsecから7090nsecの期間では、カウント値SELのカウントダウンによって、ディレイライン12による遅延量が1T分より短くなるため、これを検出した遅延量検出部13においてU/D制御信号UDがハイレベルに切り替わる。これにより、セレクタ146はカウント値BICに1が加算された値を出力し、この値がセレクタ147より出力されて、7090nsecのタイミングでカウント値BICが「05」にカウントアップされる。以後、7400nsecのタイミングまでの間、U/D制御信号UDが概ねハイレベルとなって、カウント値BICが設定最大値BIC-MAXの「08」までカウントアップされ、7400nsecのタイミングにおいて、再び設定初期値BIC-INTの「04」に戻り、同時にカウント値SELが「29」にカウントアップされる。この直後に、ディレイライン12による遅延量が1T分より長くなつてU/D制御信号UDがローレベルに切り替わり、カウント値BICがカウントダウンされる。このように、カウント値BICは設定初期値BIC-INTを中心にもカウントアップおよびカウントダウンを交互に繰り返し、カウント値SELが「28」と「29」の値を交互にとることによって、ディレイロックループ回路10の動作がロックされ、ディレイライン12による遅延量が常に1Tとなるように制御される。

【0042】

次に、図5にU/D制御信号UDに擾乱が発生した場合のディレイロックループ回路10における各信号のタイミングを示す。なお、図5では、図4と同様に、U/Dカウンタ14における設定最大値BIC-MAX、設定最小値BIC-MIN、および設定初期値BIC-INTはそれぞれ「08」「00」「04」に設定されている。

【0043】

この図5において、7800nsecまでの期間では、カウント値SELが「29」で、カウント値BICが設定最小値BIC-MINの「00」までカウントダウンされており、7800nsecのタイミングにおいて、カウント値BICが「04」に戻ると同時に、カウント値SELが「28」にカウントダウンされる。これによって、ディレイライン12による遅延量が1T分より短くなり、遅延量検出部13で出力されるU/D制御信号UDがハイレベルに切り替えられて、7890nsecから8120nsecの期間においてカウント値BICはカウントアップされる。

【0044】

ところが、カウント値BICが設定最大値BIC-MAXの「08」となる前に、8120nsecのタイミングにおいてU/D制御信号UDの擾乱が発生してローレベルとなり、カウント値BICが「07」から「06」にカウントダウンされている。さらに次の8210nsecのタイミングにおいても、同様にカウント値BICがカウントダウンされている。この後、U/D制御信号UDはハイレベルで安定し、8300nsecから8540nsecの期間においてカウント値BICは再び正常にカウントアップされ、8540nsecのタイミングにおいて設定初期値BIC-INTの「04」に戻り、カウントダウンが行われる。

【0045】

このようなカウント値BICの異常なカウント動作は、上述したように遅延量検出部13におけるD-FF131に入力されたデータパルスDTPの立ち上がりとデータパルスTP2の反転とが、D-FF131の最小セットアップタイム

およびホールドタイムより短い時間に続けて入力された場合に、位相比較中間信号Q Aが確定しないために、U/D制御信号UDに短期間のノイズ成分が含まれてしまうことにより発生する。しかし、U/Dカウンタ14では、図5のように、8120nsecおよび8210nsecにおけるU/D制御信号UDの擾乱発生の際、カウント値BICのカウント動作に変化が現れるだけで、カウント値SELは変動しない。すなわち、カウント値BICのカウントによって、U/D制御信号UDに含まれる高周波のノイズ成分のカウント値SELに対する影響が断絶され、これによりカウント値SELは「28」と「29」の値を交互にとつて正常なカウントが行われる。

【0046】

以上のU/Dカウンタ14によるカウント動作によって、ディレイロック検出部15から出力されるディレイロック信号LOCKはハイレベルに保持され、ディレイロックループ回路10の動作は安定的にロックされる。これにより、遅延量検出部13のD-FF131での誤動作の発生にかかわらず、1T分の遅延を得るために必要な基準ディレイ段数DREFが一定に保たれ、ディレイライン12と同様に構成されるディレイラインを使用して常に正確な遅延量を得ることが可能となる。

【0047】

ここで図6に、上記のディレイロックループ回路10を使用して構成される可変遅延回路の構成例を示す。

図6に示す可変遅延回路1は、図1において示したディレイロックループ回路10と、所望の遅延量となるようにディレイ段数を設定するディレイ段数設定部20と、設定されたディレイ段数で入力信号を遅延させるディレイライン30によって構成される。ディレイロックループ回路10は、ディレイライン30によって1T分遅延させるための基準ディレイ段数DREFを、ディレイ段数設定部20に対して出力する。ディレイ段数設定部20は、1T分の遅延量に対する遅延比率D RATEの供給を受けて、この遅延比率D RATEと基準ディレイ段数DREFとを乗算したディレイ段数DSDを出力する。ディレイライン30は、例えば、2つのインバータを直列接続する等によって構成される単位遅延素子が

複数の段数だけ直列接続される等、ディレイロックループ回路10の具備するディレイライン12と同様の構成とされており、例えばディレイライン12と同一チップ内に形成される。このディレイライン30は、ディレイ段数設定部20において設定されたディレイ段数DSDに基づき、入力データDINを遅延させる。

【0048】

これによって可変遅延回路1では、ディレイ段数設定部20において、入力データDINに対するディレイライン30における遅延量を任意に設定することができる。このとき、ディレイロックループ回路10の動作によって、温度や電源電圧の変動、プロセス条件等のためにディレイライン30における遅延量が変動した場合に、この変動に応じて基準ディレイ段数DREFが変化することで、所望の遅延量を正確に得ることができる。また、これに加え、ディレイロックループ回路10の遅延量検出部13から出力されるU/D制御信号UDが、短期間に不規則に変動した場合に、この変動にかかわらず正確な遅延量を安定的に得ることが可能となり、例えば、クロックの周期Tと比較して微少な遅延量を正確に得る必要がある場合に特に有効である。このような可変遅延回路1、およびディレイロックループ回路10は、ディレイライン30および12を含めてCMOSの論理回路プロセスにより作製可能であり、製造コストや実装面積、消費電力を増加させることなく、信頼性の高い可変遅延回路1、およびディレイロックループ回路10を実現することが可能である。

【0049】

次に、上記の可変遅延回路1の具体的な使用例について説明する。図7に、可変遅延回路1を使用して構成される光ディスク装置の概略構成例を示す。

図7に示す光ディスク装置7は、いわゆる相変化型の記録方式を用いて光ディスク71の記録再生を行うための装置であり、光ディスク71を回転駆動するスピンドルモータ72と、光ディスク71の信号記録面に対してレーザ光を照射するレーザダイオード（以下、LDと略称する）73a、および光ディスク71からの反射光を受光するフォトダイテクタ（以下、PDと略称する）73bを具備する光学ヘッド73と、スピンドルモータ72の回転、および光学ヘッド73の

移動を制御するサーボ制御部74と、LD73aからのレーザ光の出力を制御するレーザダイオードコントローラ（以下、LDCと略称する）75と、記録パルスを始めとする種々の制御信号を生成するライトプロセッサ（以下、WPと略称する）76と、記録信号を変調するデータ変調部77と、PD73bからの出力信号を復調するリードプロセッサ（以下、RPと略称する）78と、記録信号および再生信号のエンコード、デコードや、光ディスク装置7全体の制御を行うシステムコントローラ（以下、シスコンと略称する）79によって構成される。

【0050】

この光ディスク装置7において、光ディスク71の再生が行われる場合は、まず、サーボ制御部74を介したシスコン79の制御によりスピンドルモータ72が回転駆動され、光学ヘッド73が所定の位置へ移動されて、LD73aより光ディスク71に対して再生レベルのレーザ光が照射される。このレーザ光は、光ディスク71の記録面で反射されてPD73bに受光され、RP78において増幅および復調される。サーボ制御部74は、RP78からの復調信号およびシスコン79からの制御信号に基づいて、スピンドルモータ72の回転速度制御、および光学ヘッド73の移動によるトラッキング制御、フォーカス制御を行う。一方、シスコン79はRP78からの復調信号に対して、例えばNRZI（Non Return to Zero Inverted）方式等の復調処理や所定のデコード処理、エラー訂正処理等を行い、再生信号を出力する。

【0051】

また、光ディスク装置7において、光ディスク71への信号記録が行われる場合は、シスコン79において所定のエンコード処理等が行われた記録信号に対して、データ変調部77において例えばNRZI方式等の変調処理が行われ、この変調信号を始めとする信号がLDC75に供給される。LDC75は供給された信号に基づいてLD73aを駆動し、これにより光ディスク71の信号記録面にレーザ光が照射され、記録動作が行われる。ここで、データ変調部77からの出力を記録データA、WP76からの出力信号をそれぞれ読み出し用制御信号B、記録用制御信号C、および記録パルスDとし、LDC75によるLD73aの駆動電流を駆動電流Eとして、図8に信号記録時に出力されるこれらの信号および

電流の波形を示す。

【0052】

図8において、記録データAは、記録を行う信号に対してエンコード処理やNRZI方式等の変調処理等が行われた後のデータであり、これはすなわち光ディスク71上に理想的に形成されるマークを示している。また、読み出し用制御信号Bは、光ディスク71に対する信号の書き込みが行われるまでに、光ディスク71にレーザ光を照射するための信号で、この信号に基づいて照射されたレーザ光の反射光をPD73bにおいて受光して、信号を書き込み位置の検出が行われた後、記録用制御信号Cおよび記録パルスDを合成した信号に基づくレーザ光の照射が行われ、信号の書き込みが開始される。

【0053】

また、相変化型光ディスクの書き込みにおいては、正確なマーク形成のためにディスク記録面における熱の管理が大変重要となる。このため記録時においては、LD73aに対してDCバイアスを与える記録用制御信号Cと、入力データを変調した記録パルスDとが合成された信号に基づく駆動電流Eが、LD73aに対して供給される。また、記録パルスDは、例えば図8に示すように、パルスの始端エッジが遅延され、この始端パルスの後の部分がクロックに同期したパルス列となるように、記録データAが変調された信号となっており、これによっていわゆる記録補償が行われる。記録補償は、特に記録密度の高い相変化型光ディスクの書き込みの際に、マークの幅や長さを記録面に正確に生成するために必要とされ、照射するレーザ光を変化させて、レーザ光の照射面における温度を制御する。

【0054】

このような記録補償を行う例として、記録パルスDとして以下に示す式(1)または(2)で表される信号波形を生成する方法が挙げられる。この方法では、1クロックに対応するパルス幅をTとしたとき、長さがnT(n:整数)のマークを形成するために、式(1)または(2)で表される記録パルスD1またはD2によってレーザダイオードを駆動して、信号の記録を行う。

【0055】

【数1】

$$xS + (1.5 - x)M + (n - 2)(0.5S + 0.5M) + yM + (0.5 - y)S \quad \dots \dots \dots (1)$$

【0056】

【数2】

$$xS + (1.5 - x)M + (n - 3)(0.5S + 0.5M) + 0.5S + yM + (1 - y)S \quad \dots \dots \dots (2)$$

ただし、M：長さTのハイレベルに対応するマーク、S：長さTのローレベルに対応するスペース、x、y、z：遅延量である。

【0057】

この式（1）および（2）で表される記録パルスD1およびD2では、パルス全体の始端エッジおよび終端エッジの位置をそれぞれx、yだけ遅延させることにより、正確にマークが形成されるような記録補償が行われている。また、例えばこの式（1）および（2）の中において $(0.5S + 0.5M)$ で表されるバーストパルスのデューティ比を制御することによる記録補償が行われることもある。

【0058】

ここで、図9に上記の式（1）および（2）を用い、記録補償を行う場合の記録パルスの波形の様子を示す。図9（a）は記録パルスD1、（b）は記録パルスD2をそれぞれ示す。

【0059】

式（1）において $x = y = 0$ とすると、図9（a）において実線で示すように、記録パルスD1は、例えば長さ3Tすなわち $n = 3$ の場合、1.5Tのハイレベルに続き、0.5Tのスペースをはさんで0.5Tのハイレベルが現れるパルス列となり、長さ5Tすなわち $n = 5$ の場合、1.5Tのハイレベルに続き、0.5Tのローレベルと0.5Tのハイレベルとが交互に3回現れるパルス列となって、このようなパルス列によってLD73aが駆動される。また、同様に式（2）において $x = y = 0$ とすると、図9（b）において実線で示すように、記録パルスD2は、例えば $n = 3$ の場合、1.5Tのハイレベルのみによってなるパ

ルスとなり、 $n = 5$ の場合、 $1.5T$ のハイレベルに続き、 $0.5T$ のスペースをはさんで $0.5T$ のハイレベルが現れるパルス列となる。さらに、 x の値を設定した場合は、この x の値に応じて各パルスにおける始端の立ち上がり位置が遅延され、さらに y の値を設定すると、式(1)による記録パルスD1の場合は、 y の値に応じて各パルスにおける終端の立ち下がり位置が遅延され、式(2)による記録パルスD2の場合は、終端から $0.5T$ 分だけ後に、 y の値に応じたパルスが形成される。

【0060】

また、このような式(1)および(2)による記録パルスD1およびD2で行われる記録補償に加え、例えば図9中に示した遅延量 z の値に応じた遅延のように、 $0.5T$ のパルス幅で現れているバーストパルスの始端エッジまたは終端エッジの位置を遅延させることによる記録補償が行われることもある。

【0061】

このような記録補償を行うための記録パルスD1およびD2の生成は、例えば多段シフトレジスタ等を用いた論理回路によって実現することができる。この論理回路において、 x 、 y および z の設定によるパルスの変化は、遅延量を任意に設定可能な可変遅延回路によって実現されるが、特に高記録密度の光ディスク装置7の場合、クロック周期に対して微少な遅延量が要求される。そこで、微少な遅延を正確に得るために、図6に示した可変遅延回路1が用いられる。

【0062】

ここで例として、図10に式(1)による記録パルスD1を生成して記録補償を行うための記録信号補償回路の構成例を示す。なお、この記録信号補償回路100では、式(1)による記録パルスD1の生成に加えて、上述したバーストパルスの始端エッジまたは終端エッジの位置の遅延のための構成を含めて示されている。

【0063】

図10に示す記録信号補償回路100は、入力データDATAに対する多段シフトレジスタを構成するD-フリップフロップ(以下、D-FFと略称する)101、102、103、104、105、106、107、およびインバータ1

08と、D-FF103および104からの各出力を任意の量だけ遅延するディレイライン1aおよび1bと、シフトレジスタからの出力に対するインバータ109および110、ANDゲート111、112および113と、ディレイライン1cを用いてクロックCLKのパルス幅を調整するクロック調整部114と、ANDゲート111および112とクロック調整部114からの出力に対するORゲート115と、出力段とされるANDゲート116によって構成される。

【0064】

D-FF101では入力データDATAをクロックCLKの立ち上がりでラッピングしたCDATA0が生成され、D-FF102～107ではこのCDATA0に対してそれぞれ0.5Tずつ遅延されたデータパルスDATA0、DATA1、DATA2、DATA3、DATA4およびDATA5が生成される。なお、入力データDATAは、図8に示す記録データAに相当する。ディレイライン1aおよび1bは、図6に示した可変遅延回路1と同様の構成によってなり、データパルスDATA1およびDATA2を、任意に設定したyおよびxの値に応じた量だけ遅延したデータパルスDDATA1、DDATA2を出力する。ANDゲート112では、データパルスDATA5の逆相とデータパルスDDATA5との論理積により始端パルスTOPが出力される。ANDゲート111では、データパルスDATA0の逆相とデータパルスDATA3との論理積により終端パルスENDが出力される。ANDゲート113では、データパルスDDATA1およびDDATA2の論理積によりデータパルスGATEが出力される。

【0065】

ディレイライン1cは、図6で示した可変遅延回路1と同様の構成となっており、クロック調整部114は、クロックCLKと、ディレイライン1cにおいてクロックCLKを、任意に設定したzの値に応じた量だけ遅延したパルスとの論理和あるいは論理積をとったバーストパルスBPを出力する。ORゲート115では、始端パルスTOP、終端パルスENDおよびバーストパルスBPの論理和によりデータパルスMPが出力される。ANDゲート116では、データパルスMPおよびGATEの論理積により記録パルスRECが出力される。なお、この記録パルスRECは図8に示す記録パルスDに相当する。

【0066】

次に、図11にこの記録信号補償回路100における各信号のタイミングを示す。

図11では例として、入力データDATAすなわち記録パルスDが長さ2T、3Tおよび5T、すなわちn=2、3、5とされた場合についての各信号を示している。また、図中の信号はディレイライン1a、1bおよび1cにおける遅延量が0の場合、すなわちx=y=z=0の場合を示している。この図11のように、ANDゲート112および111から出力される始端パルスTOPおよび終端パルスENDは、ともに長さが1.5Tのパルスとなり、ORゲート115によりこれらとバーストパルスBPが合成され、データパルスMPとなる。また、ANDゲート116において、このデータパルスMPの始端エッジおよび終端エッジがデータパルスGATEによって決定されて、記録パルスRECが生成される。この結果、記録パルスRECは、n=2の場合、パルス幅が1.5Tのパルスとなり、n=3の場合、1.5Tのハイレベルに続き、0.5Tのスペースをはさんで0.5Tのハイレベルが現れるパルス列となり、長さ5Tすなわちn=5の場合、1.5Tのハイレベルに続き、0.5Tのローレベルと0.5Tのハイレベルとが交互に3回現れるパルス列となる。

【0067】

また、ディレイライン1aおよび1bにおいて、それぞれ遅延量yおよびxが設定された場合には、データパルスGATEの終端エッジおよび始端エッジの位置がyおよびxの値に応じてそれぞれ遅延され、これによって、記録パルスRECの終端エッジおよび始端エッジの位置が遅延される。さらに、ディレイライン1cにおいて遅延量zが設定されると、記録パルスRECに現れるクロックパルス成分、例えばn=5の記録パルスRECに示したバーストパルスBP5の始端エッジの位置あるいは終端エッジの位置が、遅延量zの値に応じて遅延される。例えば、クロック調整部114においてこのディレイライン1cを通過した信号とクロックCLKとの論理積がとられた場合は、バーストパルスBP5の始端エッジの位置が遅延され、論理和がとられた場合はバーストパルスBP5の終端エッジの位置が遅延される。

【0068】

前述したように、ディレイライン1a、1bおよび1cは、それぞれ図6に示した可変遅延回路1によって構成され、温度や電源電圧の変動、プロセス条件等のために、各ディレイライン1a、1bおよび1cの具備する同一構成の遅延素子における遅延量が変動した場合に、この変動にかかわらず、所望の微少な遅延量を正確に得ることができる。したがって、相変化型光ディスクに対する信号書き込み時に欠かせない記録補償において、レーザ光の照射をクロックCLKより短い時間で正確に制御することが可能となり、このような信頼性の高い記録補償を実現する回路を、製造コストや実装面積、消費電力を増加させずに実現することが可能となる。

【0069】

なお、図10では上記の式(1)による記録パルスD1を生成するための回路を示したが、式(2)による記録パルスD2を生成するためには、例えば、図10において、ディレイライン1aの入力を、D-FF103の出力からD-FF102の出力となるように変更し、ANDゲート113の入力が、D-FF104の出力と、このディレイライン1aの出力となるように変更すればよい。

【0070】

【発明の効果】

以上説明したように、本発明のディレイロックループ回路では、遅延量検出手段からのアップダウン制御信号に基づいて初期値から最大値または最小値へのカウントアップまたはカウントダウンを行うサブカウンタを具備し、このカウント値が最大値または最小値となった場合にアップダウンカウンタのカウントアップおよびカウントダウンをそれぞれ行うので、アップダウン制御信号の短期間における擾乱が無視され、ディレイ手段によるディレイ量の変動にかかわらずディレイロック検出手段が正常に動作して、基準ディレイ段数が安定して出力される。

【0071】

また、本発明の可変遅延回路では、基準ディレイ段数出力手段が、遅延量検出手段からのアップダウン制御信号に基づいて初期値から最大値または最小値へのカウントアップまたはカウントダウンを行うサブカウンタを具備し、このカウン

ト値が最大値または最小値となった場合にカウントアップおよびカウントダウンをそれぞれ行うアップダウンカウンタを有するディレイロックループを形成しており、これにより第1のディレイ手段によるディレイ量の変動にかかわらずディレイロック検出手段が正常に動作して、基準ディレイ段数が安定して出力される。したがって、第1のディレイ手段と同様に構成された第2のディレイ手段によって、常に正確な遅延量を得ることが可能となる。

【0072】

また、本発明の記録信号補償回路では、基準ディレイ段数出力手段がディレイロックループを形成することにより、第1のディレイ手段によるディレイ量の変動にかかわらずディレイロック検出手段が正常に動作して、基準ディレイ段数が安定して出力される。したがって、始端パルス変化手段および終端パルス変化手段においては、それぞれが第1のディレイ手段と同様に構成された第2のディレイ手段を使用することによって、記録パルスの始端位置および終端位置を常に正確な量だけ遅延させることができ、ディスク状記録媒体上において、遅延量に応じた正確な位置にマークを形成することが可能になる。

【図面の簡単な説明】

【図1】

本発明のディレイロックループ回路の構成例を示す図である。

【図2】

遅延量検出部の構成例を示す図である。

【図3】

アップダウンカウンタの構成例を示す図である。

【図4】

本発明のディレイロックループ回路における各信号のタイミングを示す図である。

【図5】

U/D制御信号UDに擾乱が発生した場合のディレイロックループ回路における各信号のタイミングを示す図である。

【図6】

本発明のディレイロックループ回路を使用して構成される可変遅延回路の構成例を示す図である。

【図7】

可変遅延回路を使用して構成される光ディスク装置の概略構成例を示す図である。

【図8】

信号記録時に出力される各信号および電流を表す波形を示す図である。

【図9】

記録補償を行う場合の記録パルスの波形の例を示す図であり、(a)は記録パルスD1を示し、(b)は記録パルスD2を示す。

【図10】

記録パルスD1を生成する記録信号補償回路の構成例を示す図である。

【図11】

記録信号補償回路における各信号のタイミングを示す図である。

【図12】

従来の可変遅延回路に用いられるディレイロックループ回路の構成例を示す図である。

【図13】

従来の遅延量検出部の回路構成例を示す図である。

【図14】

従来のディレイロックループ回路における各信号のタイミングを示す図である。

【図15】

異常動作が発生した場合の従来のディレイロックループ回路における各信号のタイミングを示す図である。

【符号の説明】

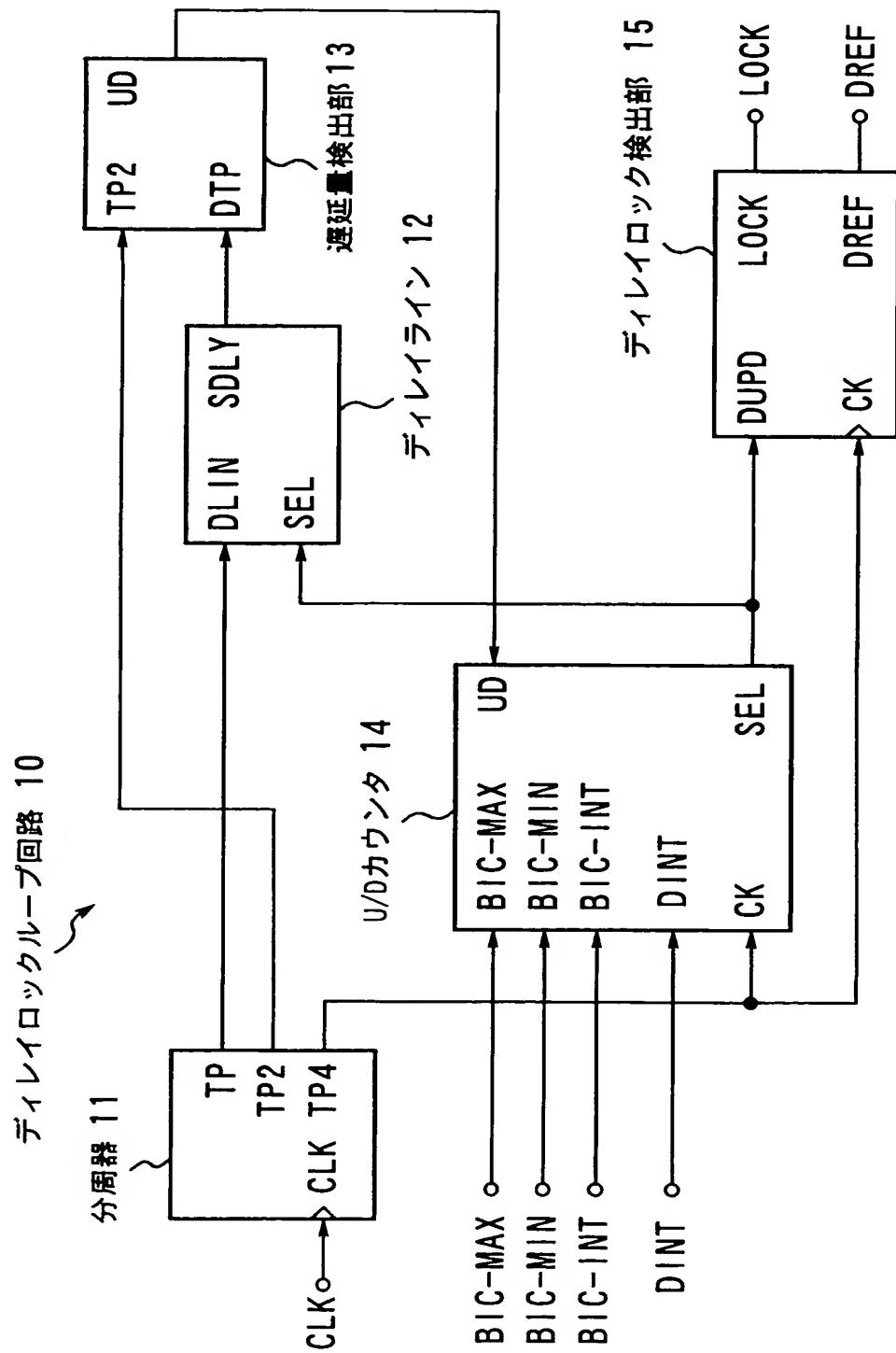
1 ……可変遅延回路、 10 ……ディレイロックループ回路、 11 ……分周器、
12 ……ディレイライン、 13 ……遅延量検出部、 14 ……U/Dカウンタ、 15 ……ディレイロック検出部、 20 ……ディレイ段数設定部、 30 ……ディレイ

ライン、131……D-フリップフロップ、132……排他的論理和ゲート、133……インバータ、134……D-フリップフロップ、141……D-フリップフロップ、142……加算回路、143……減算回路、144、145……比較回路、146、147……セレクタ、148……カウンタ

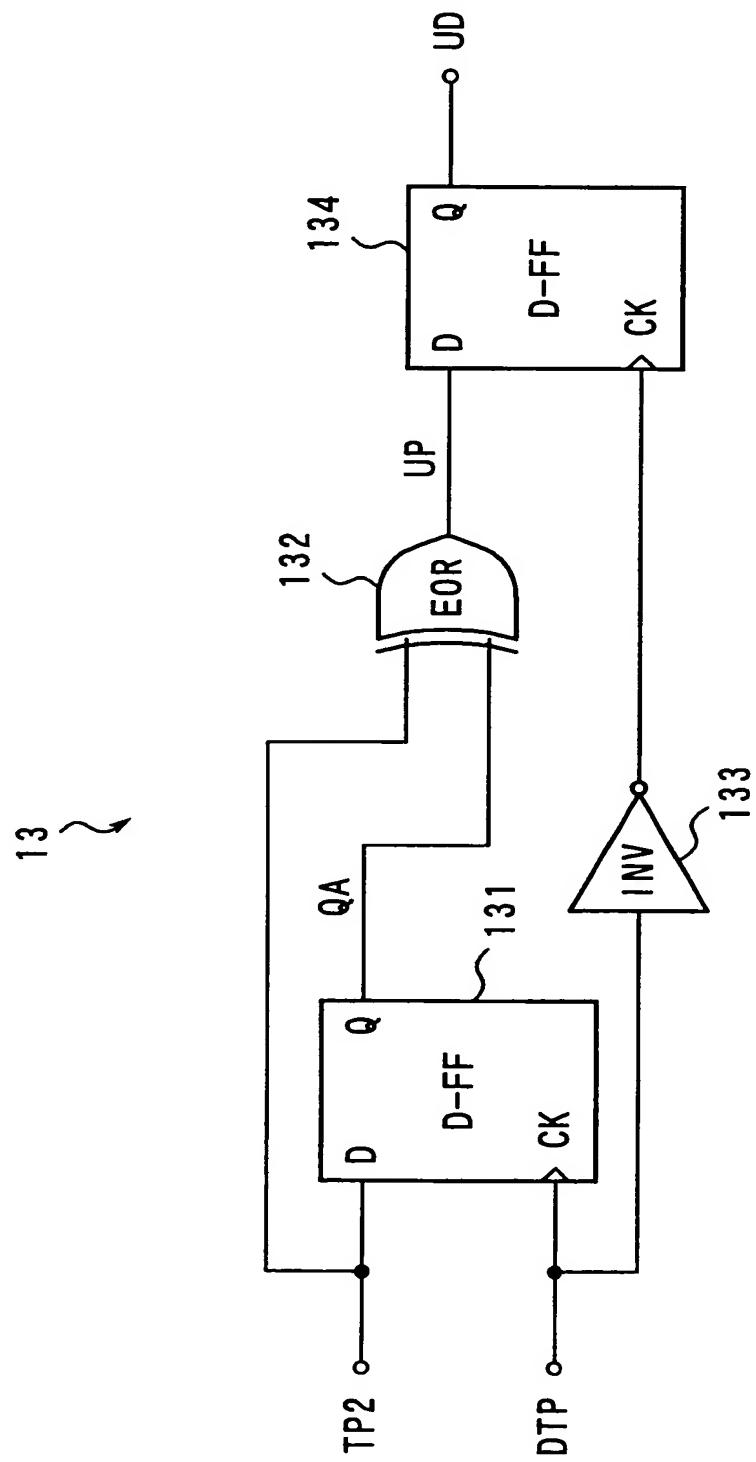
【書類名】

図面

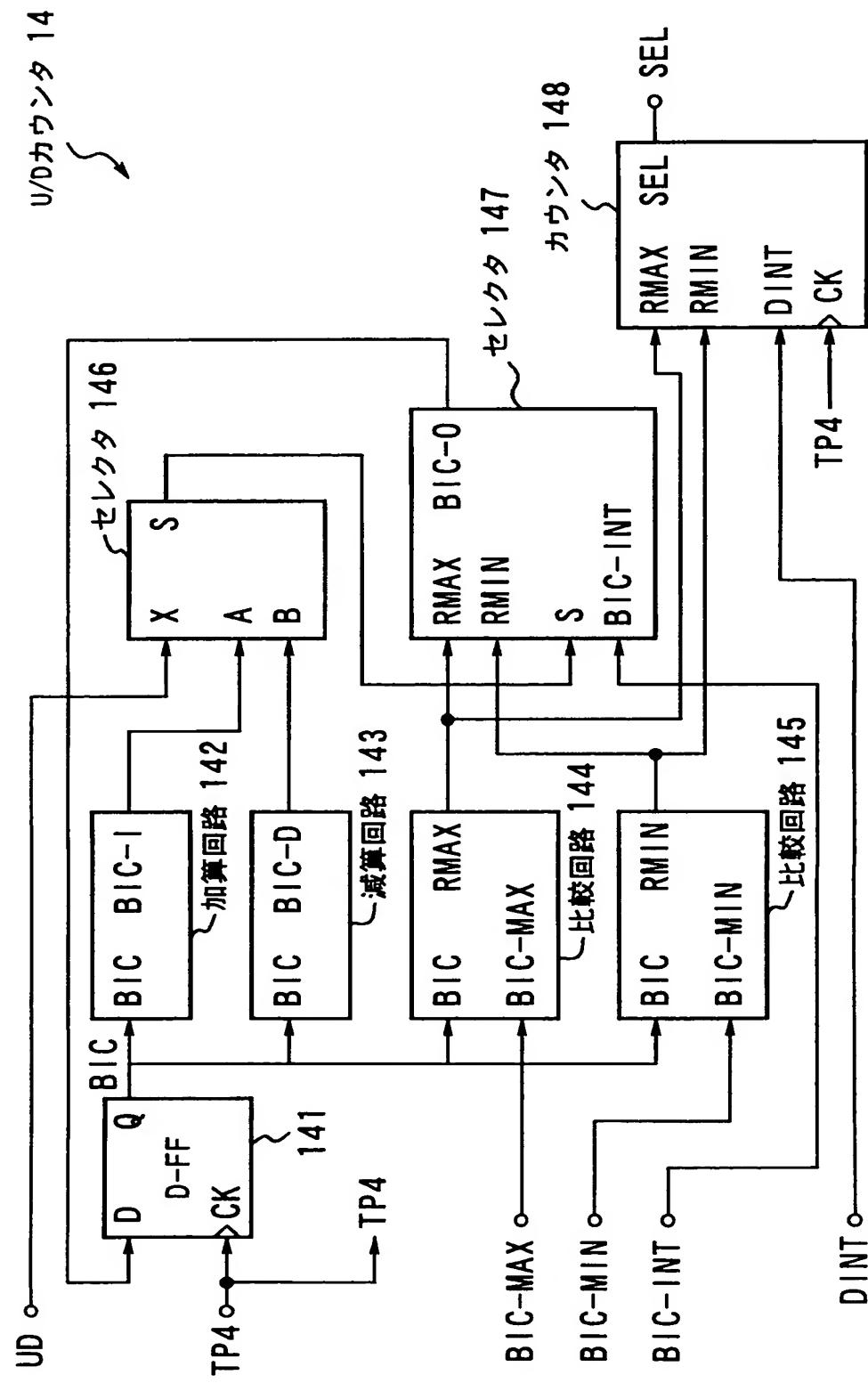
【図1】



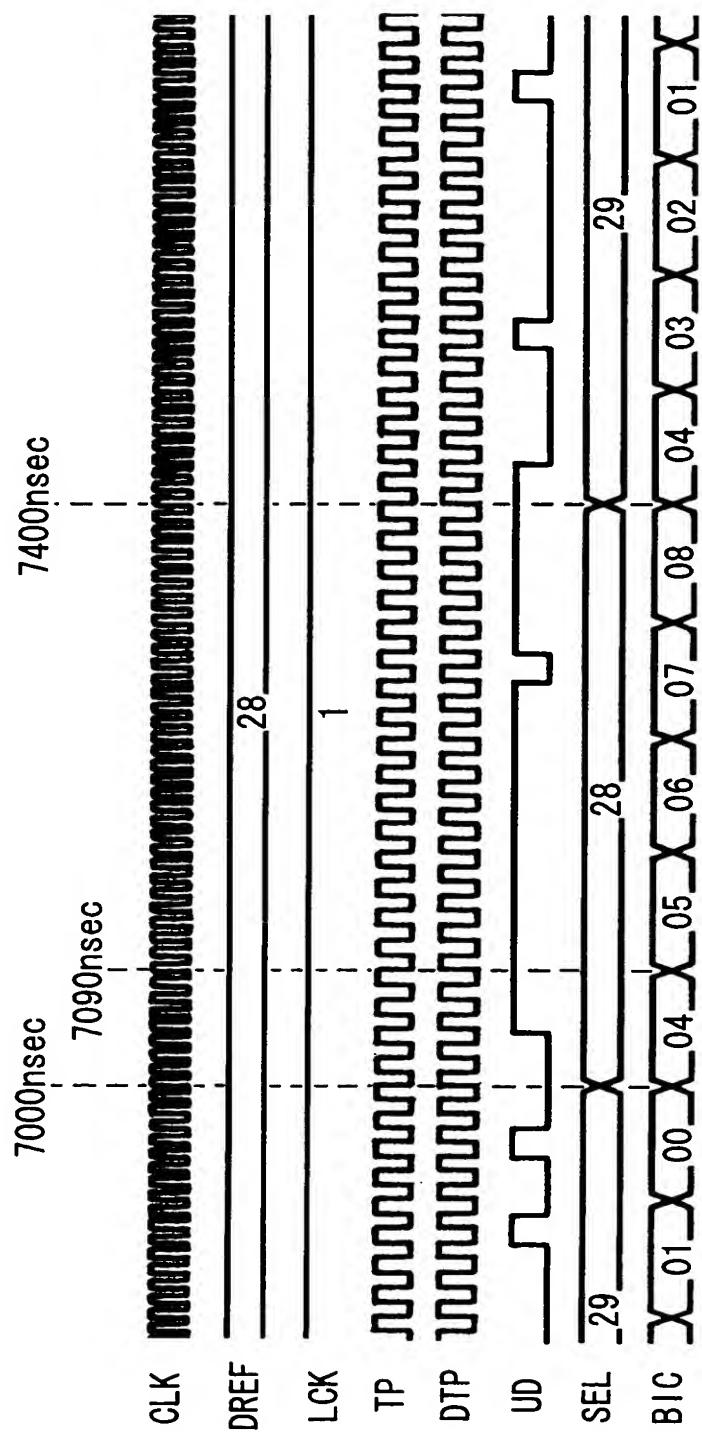
【図2】



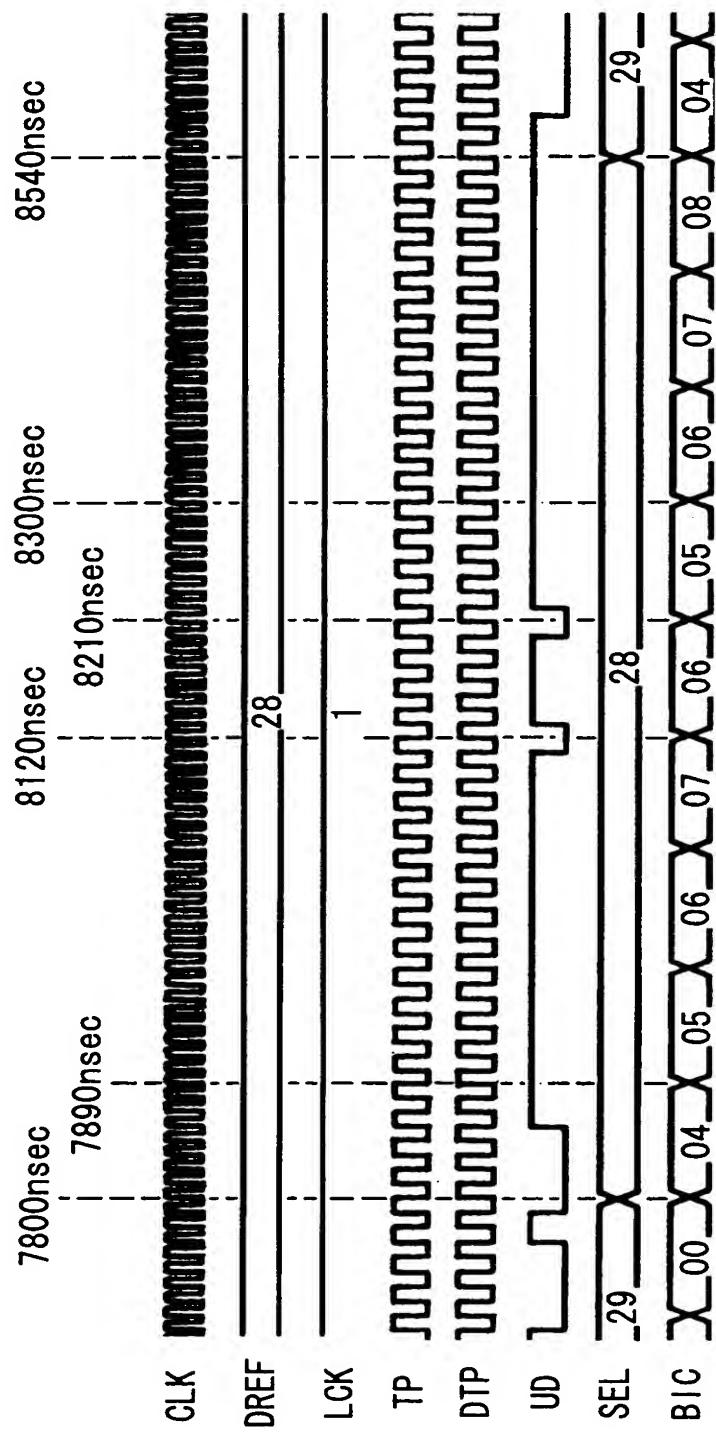
【図3】



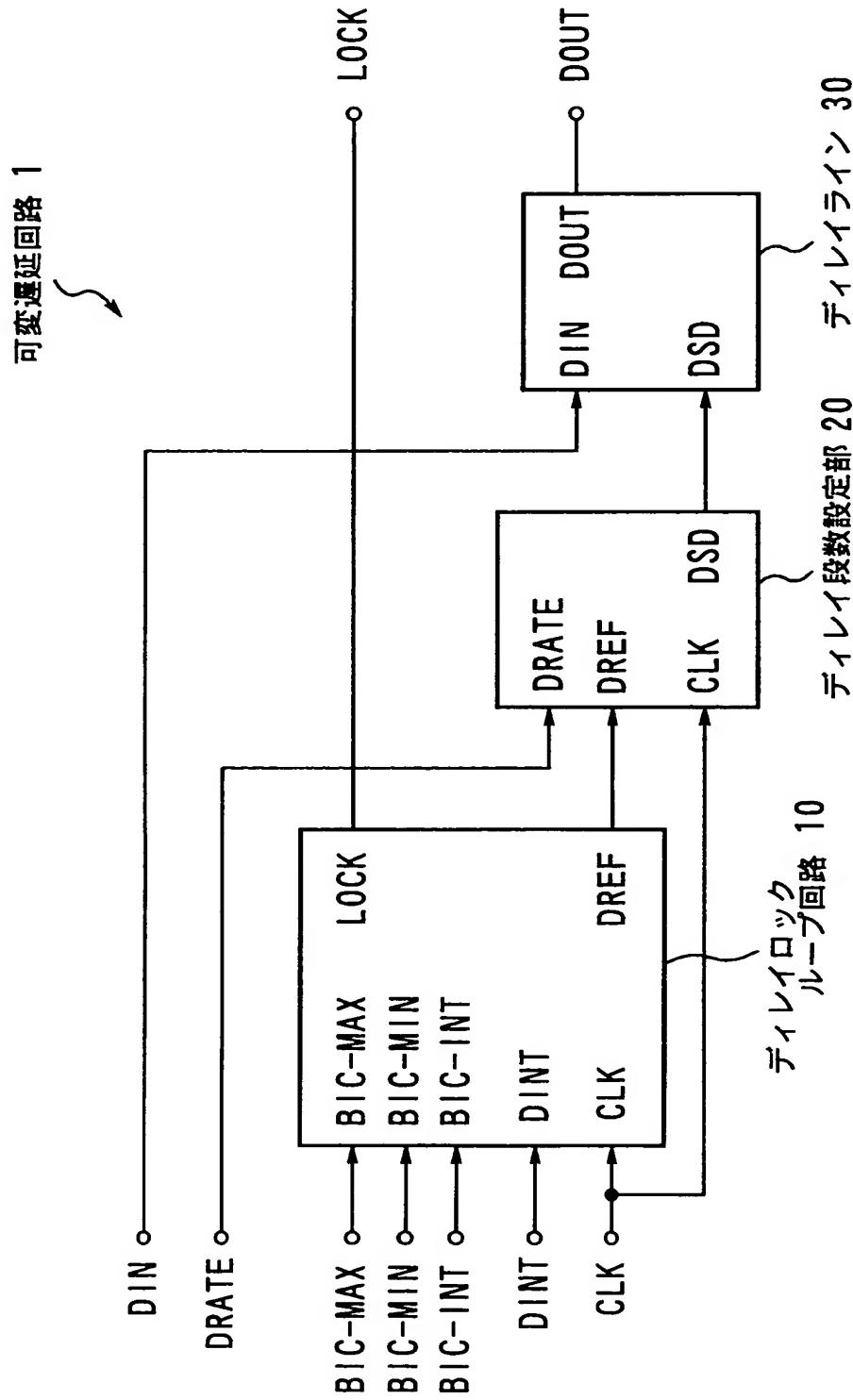
【図4】



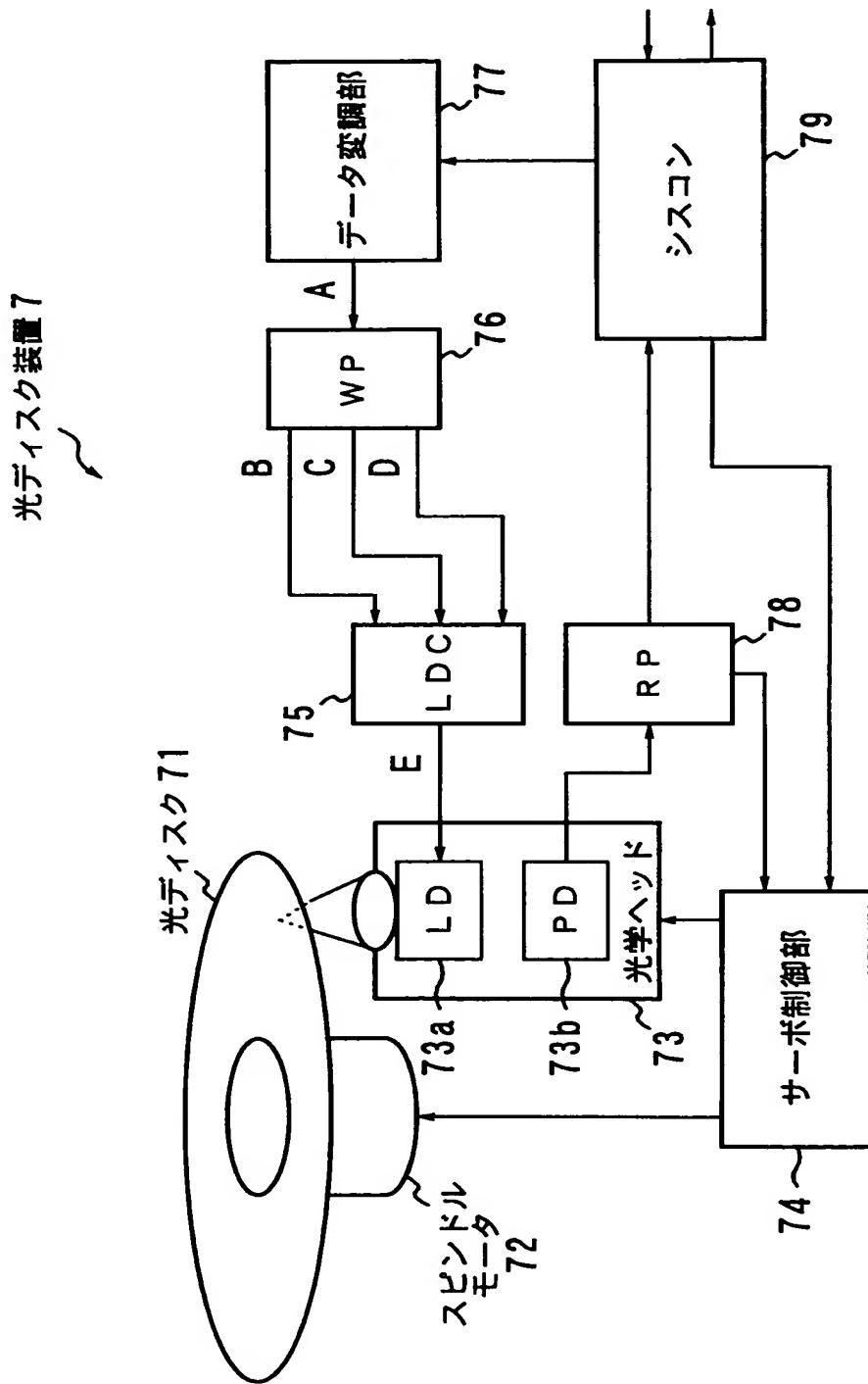
【図5】



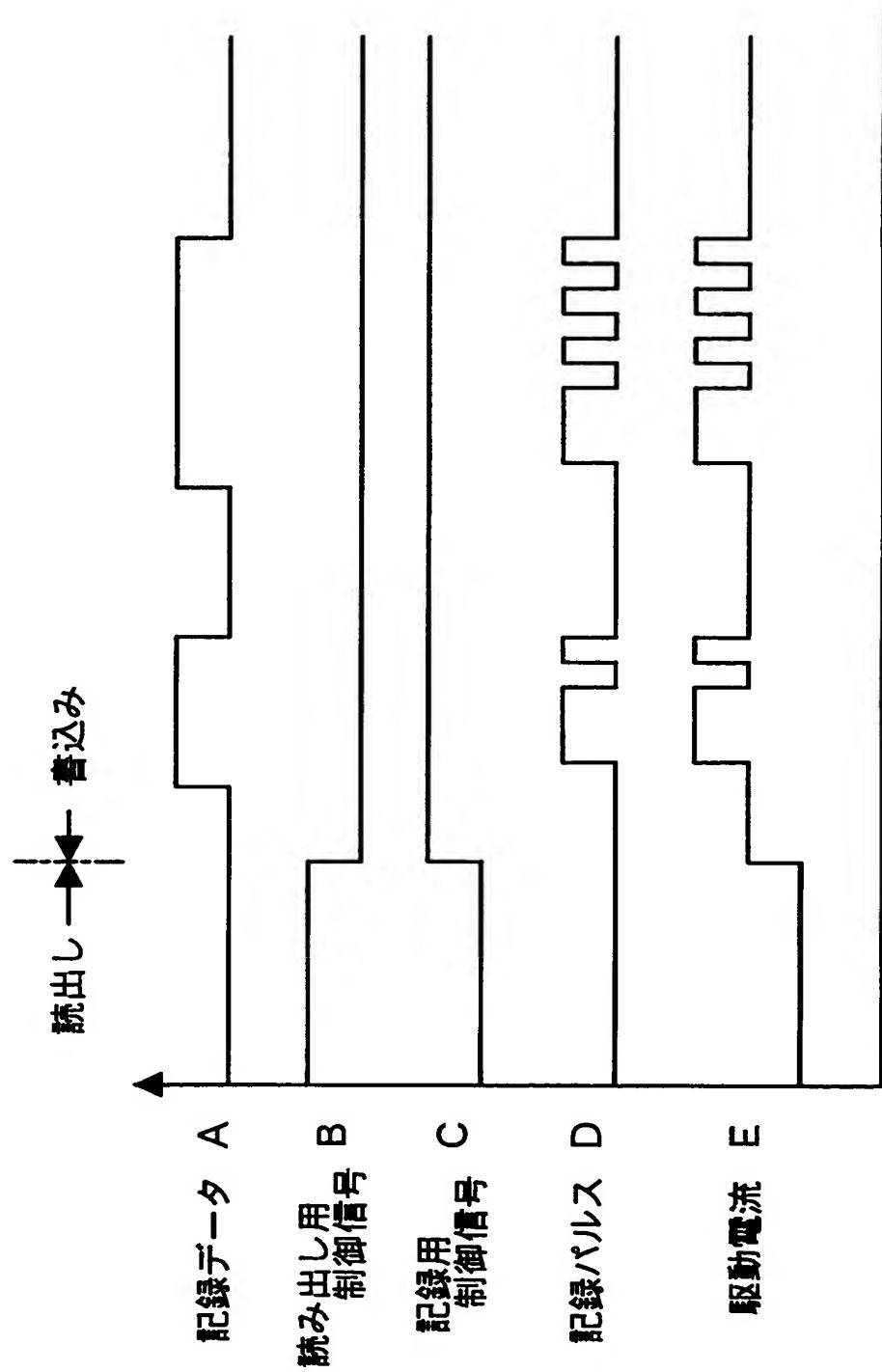
【図6】



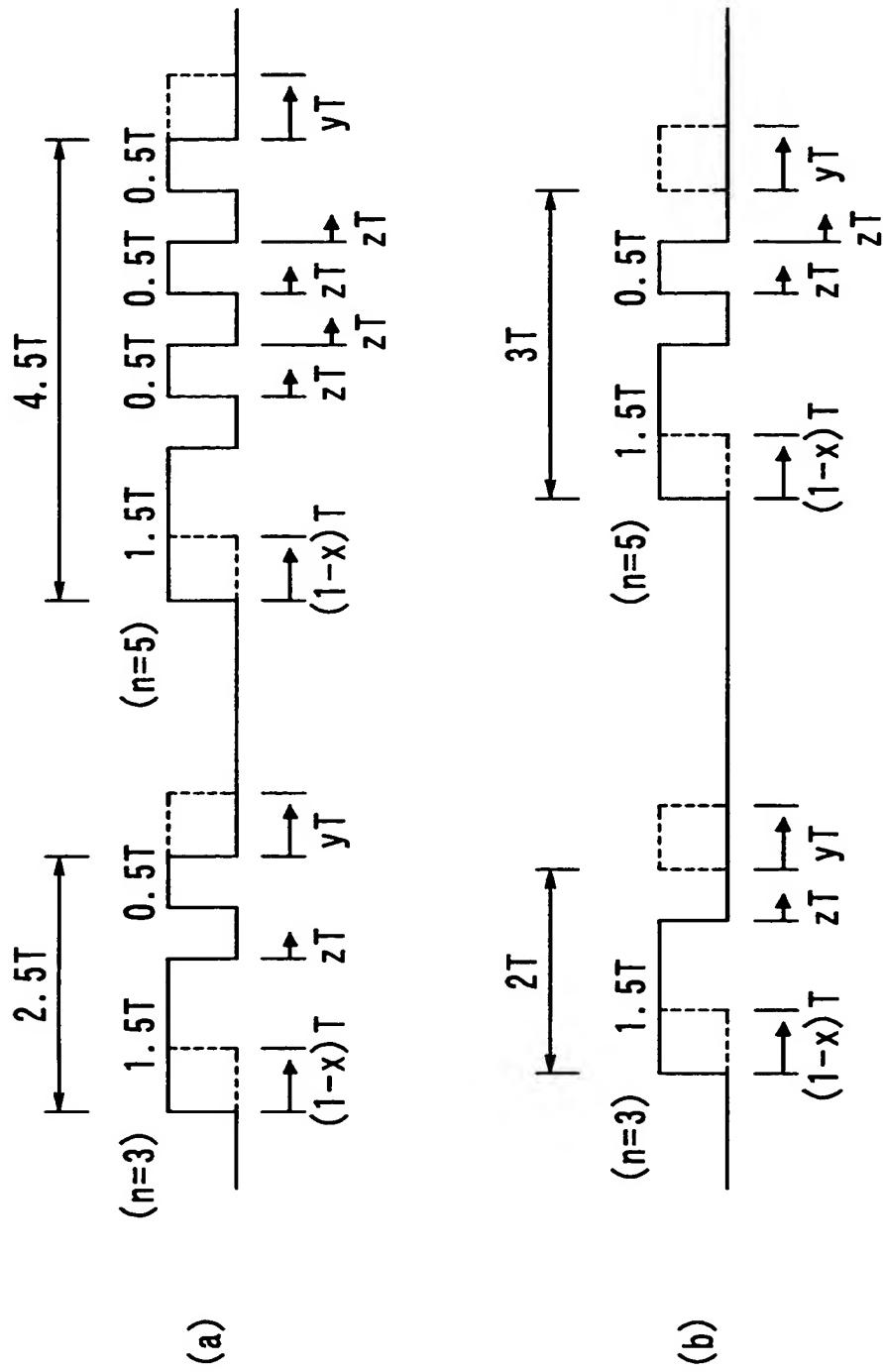
【図7】



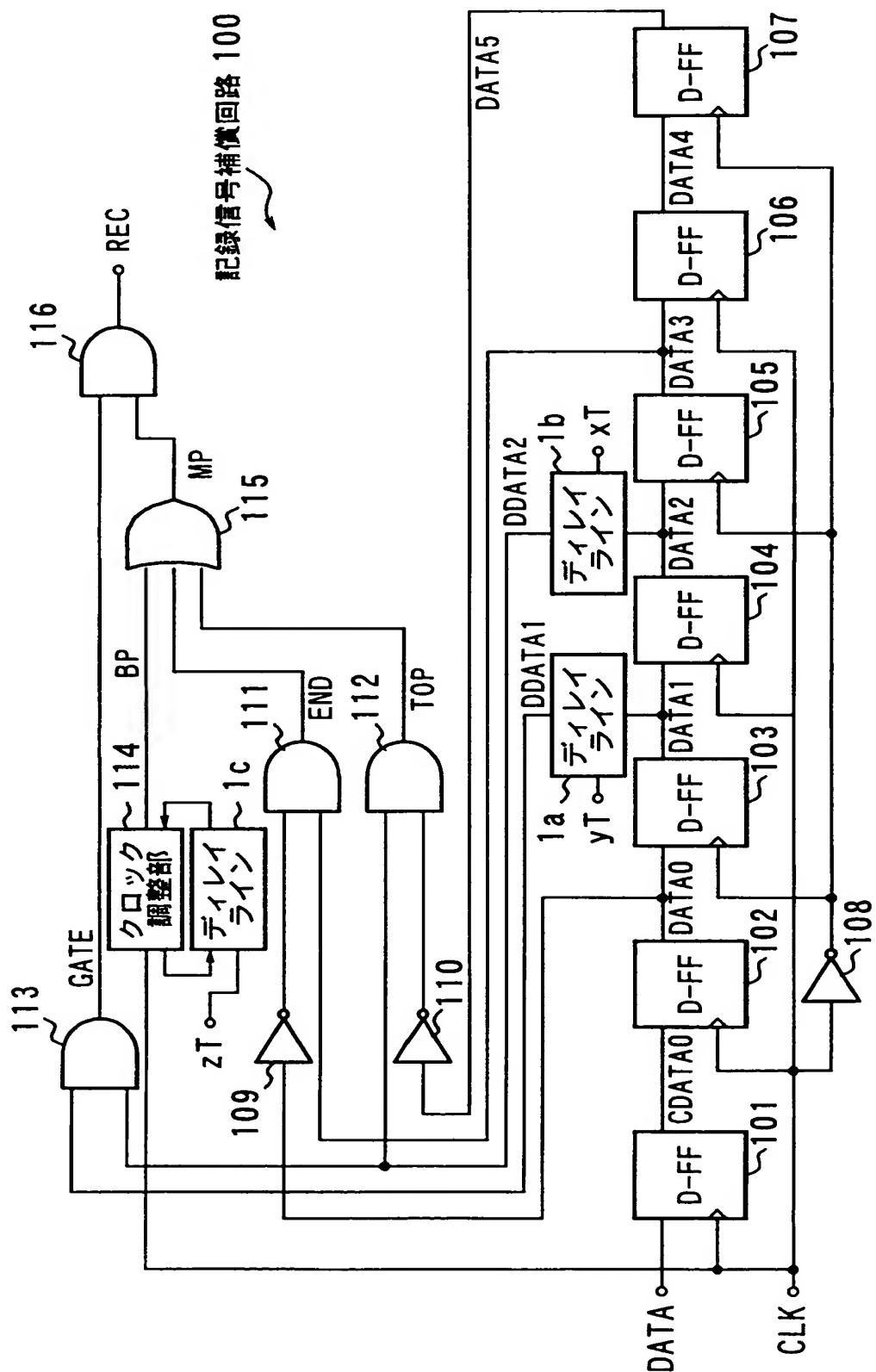
【図8】



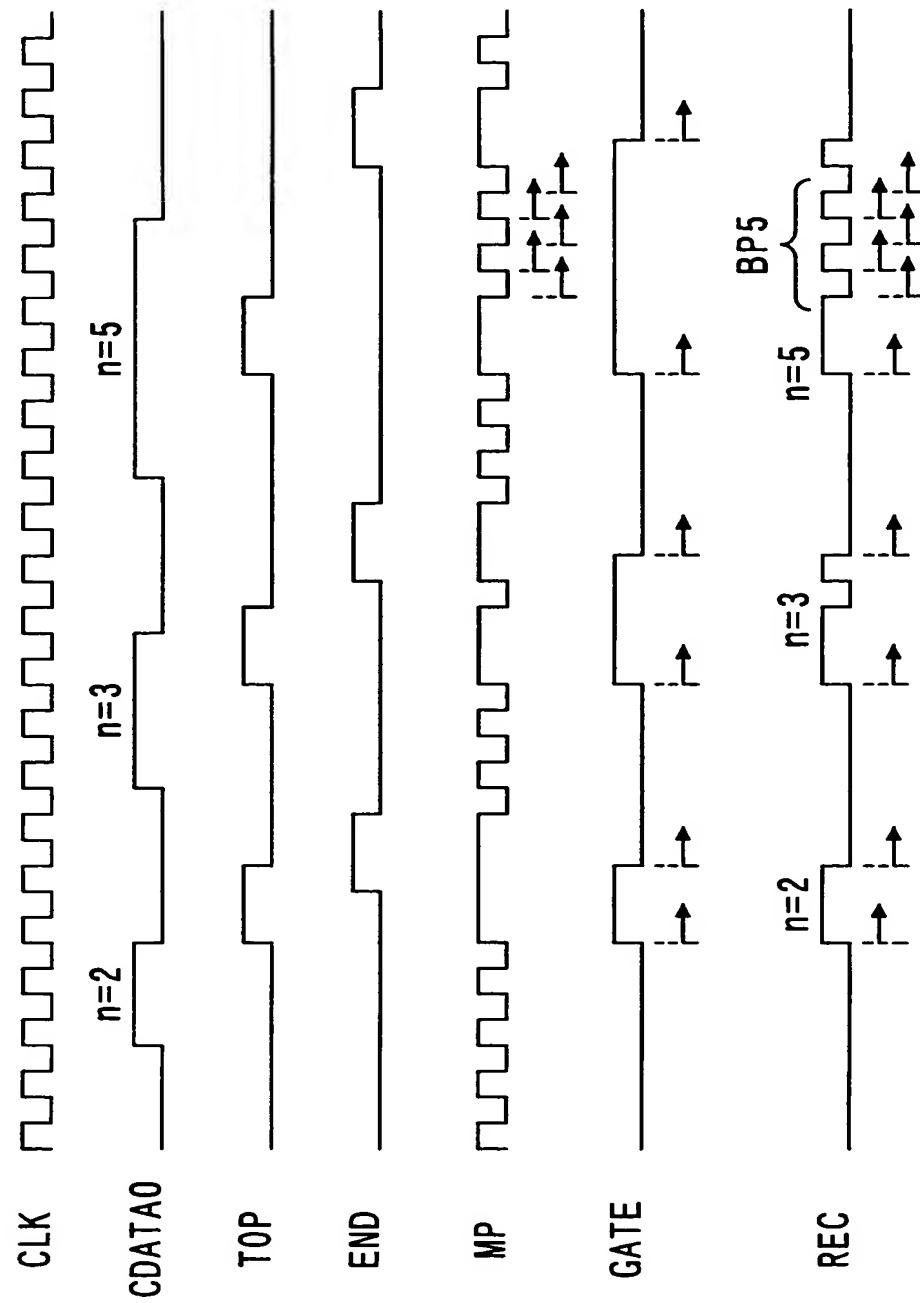
【図9】



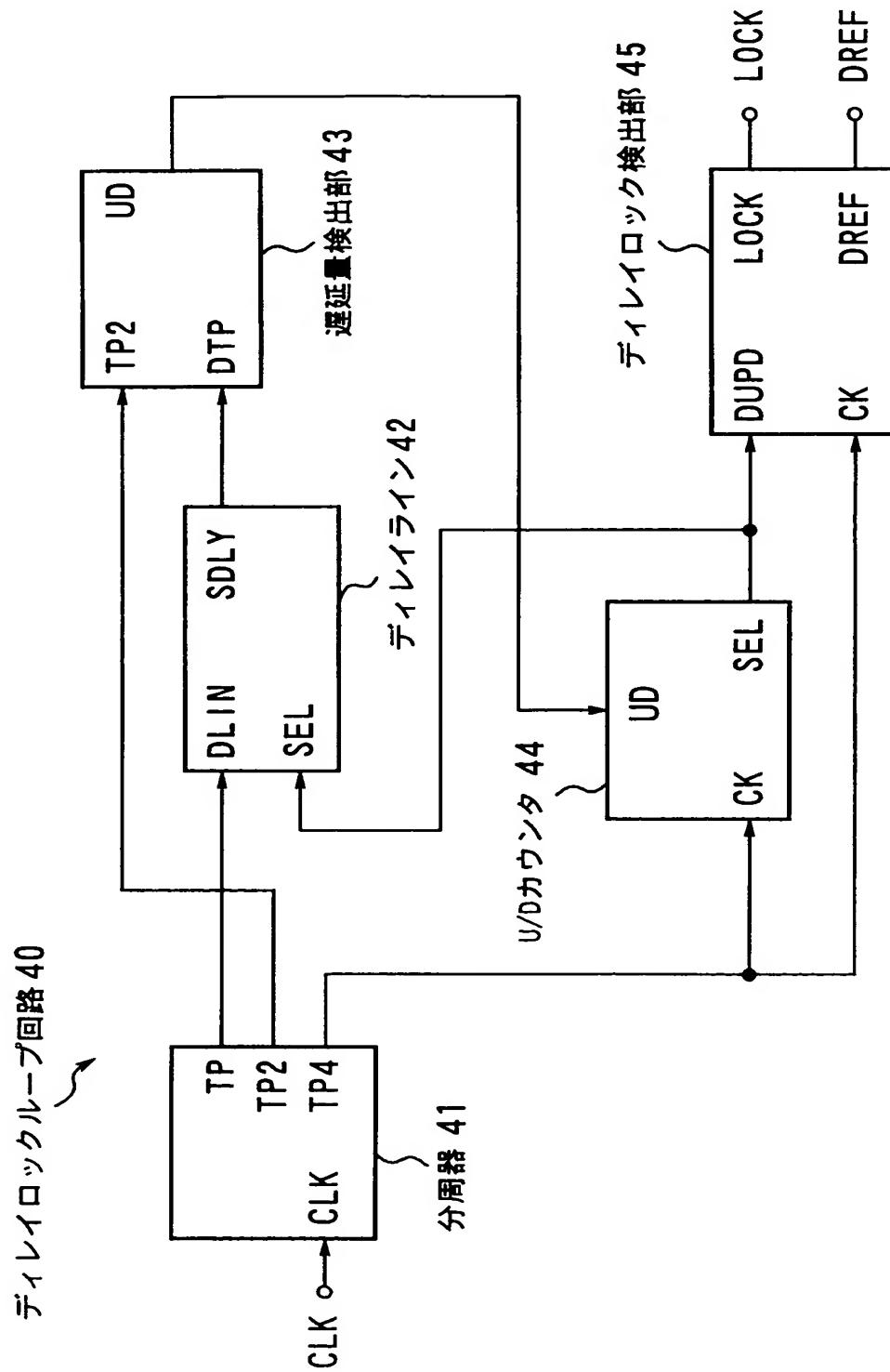
【図10】



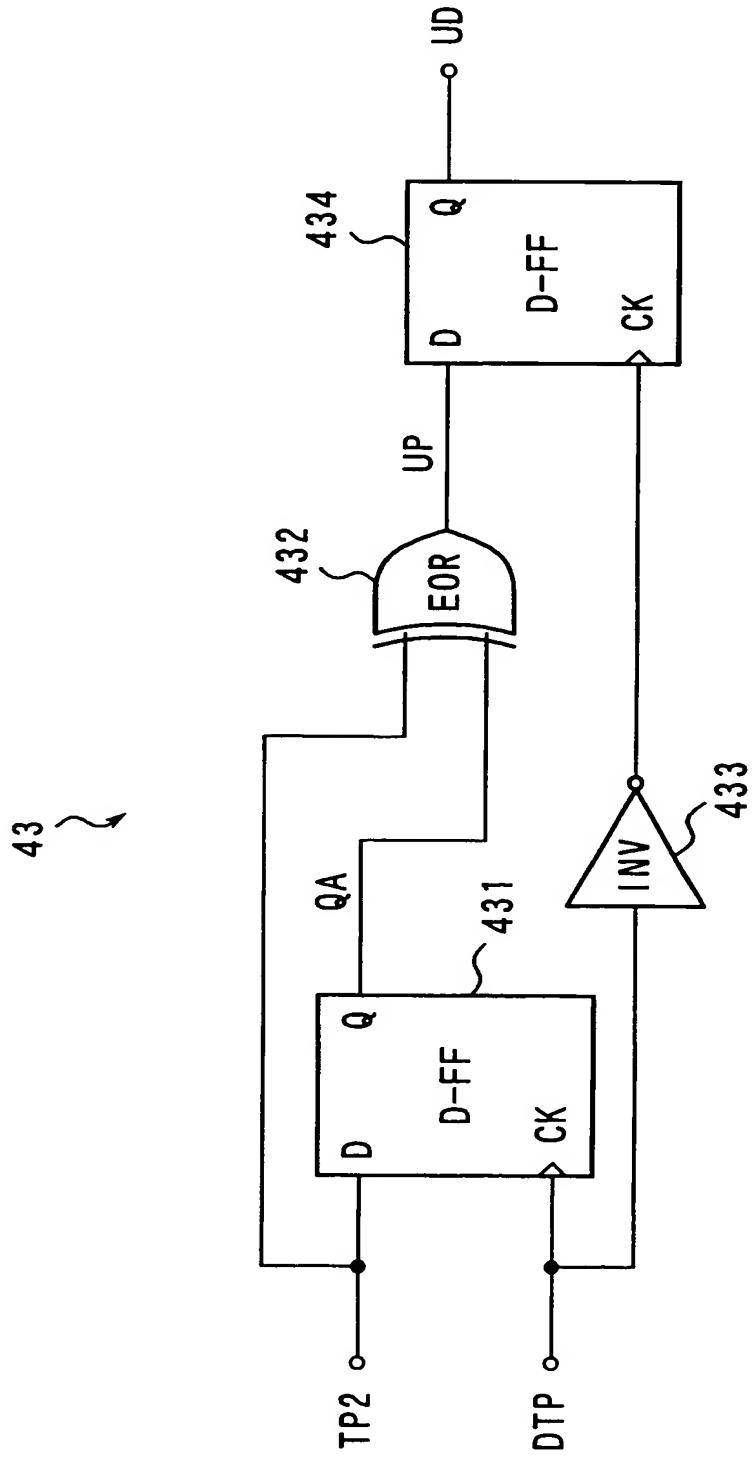
【図11】



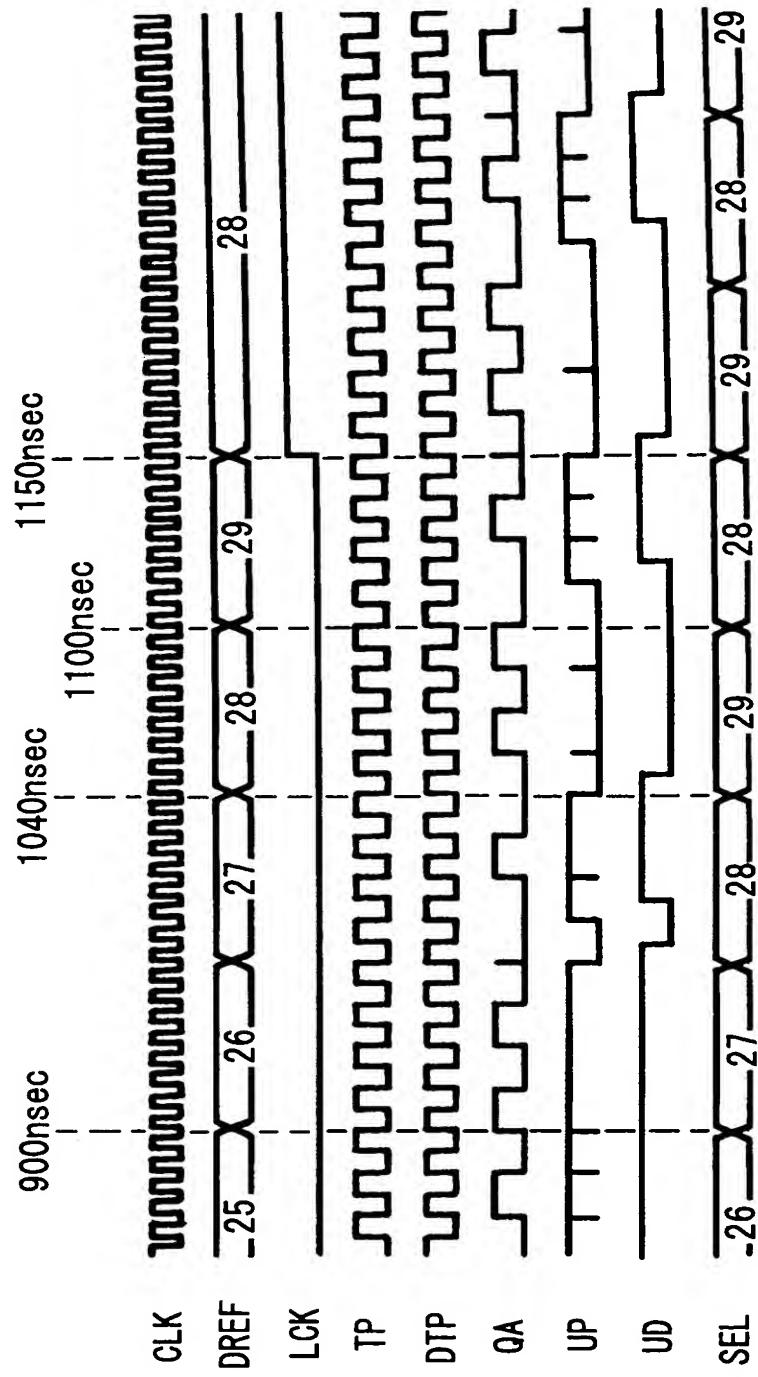
【図12】



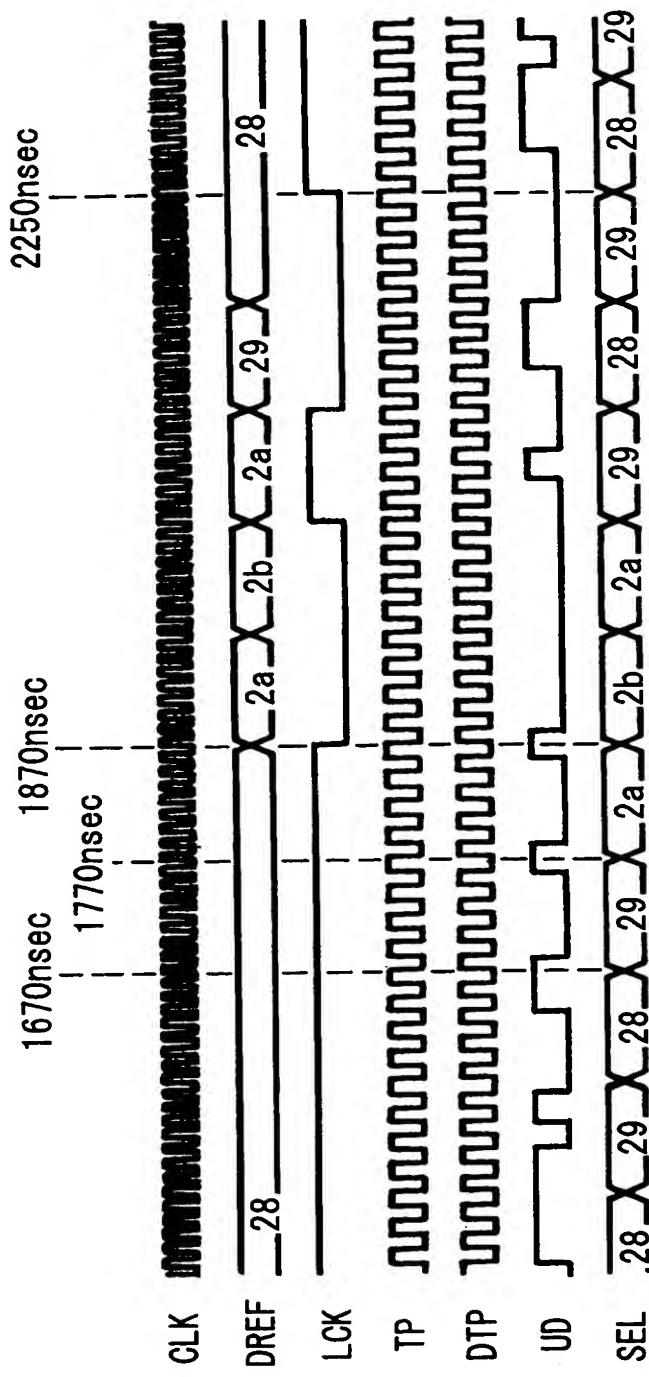
【図13】



【図14】



【図15】



【書類名】 要約書

【要約】

【課題】 温度および電源電圧の変動やプロセス条件等によるディレイ量の変動にかかわらず、微少な遅延量を安定的に得ることを可能にするディレイロックループ回路を提供する。

【解決手段】 遅延量検出手段からのアップダウン制御信号UDに基づいて、カウント値BICを設定初期値BIC-INTから設定最大値BIC-MAXまたは設定最小値BIC-MINへのカウントアップまたはカウントダウンを行い、このカウント値BICが最大値または最小値となった場合にカウント値SELのカウントアップおよびカウントダウンをそれぞれ行うことにより、アップダウン制御信号UDのノイズ成分をカットする。これによって、カウント値SELが供給されるディレイロック検出部が、ディレイラインによるディレイ量の変動にかかわらず正常に動作して、1Tの遅延を得るための基準ディレイ段数が安定して出力される。

【選択図】 図3

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社